



Ingénierie de jonctions tunnel pour améliorer les performances du transistor mono-électronique métallique

Khalil El Hajjam

► To cite this version:

Khalil El Hajjam. Ingénierie de jonctions tunnel pour améliorer les performances du transistor mono-électronique métallique. Electronique. INSA de Lyon; Université de Sherbrooke (Québec, Canada), 2015. Français. NNT : 2015ISAL0111 . tel-01339967

HAL Id: tel-01339967

<https://theses.hal.science/tel-01339967>

Submitted on 30 Jun 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Thèse de doctorat en cotutelle France-Canada

Présentée devant

L'INSTITUT NATIONAL DES SCIENCES APPLIQUÉES DE LYON

pour obtenir le grade de Docteur

École Doctorale : Électronique, Électrotechnique, Automatique

Par

Khalil EL HAJJAM

Ingénierie de jonctions tunnel pour améliorer les performances du transistor mono-électronique métallique

À Soutenir le 03 Décembre 2015

JURY

PRESIDENT : Mireille MOUIS

**Rapporteurs : Laurent FRANCIS
Thierry BARON**

**Professeur UCLouvain
Directeur de recherche au CNRS**

**Examineurs : Mireille MOUIS
Serge CHARLEBOIS
Stéphane MONFRAY
Abdelkader SOUIFI**

**Directeur de recherche au CNRS
Professeur Université de Sherbrooke
Docteur ingénieur STMicroelectronics, Crolles
Professeur INSA de Lyon**

Codirecteurs de thèse :

**Dominique DROUIN
Francis CALMON**

**Professeur Université de Sherbrooke
Professeur INSA de Lyon**

Thèse préparée au :

3IT (Institut Interdisciplinaire d'Innovation Technologique) de l'Université de Sherbrooke (Québec Canada) et à l'INL (Institut des Nanotechnologies de Lyon) INSA de Lyon, France.

INSA Direction de la Recherche - Ecoles Doctorales – Quinquennal 2011-2015

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	CHIMIE DE LYON http://www.edchimie-lyon.fr Sec : Renée EL MELHEM Bat Blaise Pascal 3 ^e etage 04 72 43 80 46 Insa : R. GOURDON secretariat@edchimie-lyon.fr	M. Jean Marc LANCELIN Université de Lyon – Collège Doctoral Bât ESCPE 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72.43 13 95 directeur@edchimie-lyon.fr
E.E.A.	ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE http://edeea.ec-lyon.fr Sec : M.C. HAVGOUDOUKIAN Ecole-doctorale.eea@ec-lyon.fr	M. Gérard SCORLETTI Ecole Centrale de Lyon 36 avenue Guy de Collongue 69134 ECULLY Tél : 04.72.18 60.97 Fax : 04 78 43 37 17 Gerard.scorletti@ec-lyon.fr
E2M2	EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION http://e2m2.universite-lyon.fr Sec : Safia AIT CHALAL Bat Atrium- UCB Lyon 1 04.72.44.83.62 Insa : S. REVERCHON Safia.ait-chalal@univ-lyon1.fr	M. Fabrice CORDEY Laboratoire de Géologie de Lyon Université Claude Bernard Lyon 1 Bât Géode – Bureau 225 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cédex Tél : 04.72.44.83.74 Sylvie.reverchon-pescheux@insa-lyon.fr fabrice.cordey@univ-lyon1.fr
EDISS	INTERDISCIPLINAIRE SCIENCES-SANTE http://www.ediss-lyon.fr Sec : Safia AIT CHALAL Bat Atrium – UCB Lyon 1 04 72 44 83 62 Insa : Safia.ait-chalal@univ-lyon1.fr	Mme Emmanuelle CANET-SOULAS INSERM U1060, CarMeN lab, Univ. Lyon 1 Bâtiment IMBL 11 avenue Jean Capelle INSA de Lyon 696621 Villeurbanne Tél : 04.72.11.90.13 Emmanuelle.canet@univ-lyon1.fr
INFOMATHS	INFORMATIQUE ET MATHEMATIQUES http://infomaths.univ-lyon1.fr Sec : Renée EL MELHEM Bat Blaise Pascal 3 ^e etage infomaths@univ-lyon1.fr	Mme Sylvie CALABRETTO LIRIS – INSA de Lyon Bat Blaise Pascal 7 avenue Jean Capelle 69622 VILLEURBANNE Cedex Tél : 04.72. 43. 80. 46 Fax 04 72 43 16 87 Sylvie.calabretto@insa-lyon.fr
Matériaux	MATERIAUX DE LYON http://ed34.universite-lyon.fr Sec : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Direction 1 ^{er} et. Ed.materiaux@insa-lyon.fr	M. Jean-Yves BUFFIERE INSA de Lyon MATEIS Bâtiment Saint Exupéry 7 avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72.43 71.70 Fax 04 72 43 85 28 Ed.materiaux@insa-lyon.fr
MEGA	MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE http://mega.universite-lyon.fr Sec : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Direction 1 ^{er} et. mega@insa-lyon.fr	M. Philippe BOISSE INSA de Lyon Laboratoire LAMCOS Bâtiment Jacquard 25 bis avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél : 04.72 .43.71.70 Fax : 04 72 43 72 37 Philippe.boisse@insa-lyon.fr
ScSo	ScSo* http://recherche.univ-lyon2.fr/scso/ Sec : Viviane POLSINELLI Brigitte DUBOIS Insa : J.Y. TOUSSAINT viviane.polsinelli@univ-lyon2.fr	Mme Isabelle VON BUELTZINGLOEWEN Université Lyon 2 86 rue Pasteur 69365 LYON Cedex 07 Tél : 04.78.77.23.86 Fax : 04.37.28.04.48 isavonb@dbmail.com

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

« Il n'y a rien de plus gratifiant
que de s'acharner à faire
fonctionner une invention
inutile. » "

(Catherine Tate)

« En désignant les objets par
leur utilité, on s'interdit de les
connaître. » "

(Gaston Bachelard)

Résumé

Aujourd'hui plusieurs obstacles technologiques et limitations physiques s'opposent à la poursuite de la miniaturisation de la technologie CMOS : courants de fuite, effet de canal court, effet de porteurs chauds et fiabilité des oxydes de grille. Le transistor à un électron (SET) fait partie des composants émergents candidats pour remplacer les transistors CMOS ou pour constituer une technologie complémentaire à celle-ci.

Ce travail de thèse traite de l'amélioration des caractéristiques électriques du transistor à un électron en optimisant ses jonctions tunnel. Cette optimisation commence tout d'abord par une étude des modes de conduction à travers la jonction tunnel. Elle se conclut par le développement d'une jonction tunnel optimisée basée sur un empilement de matériaux diélectriques (principalement Al_2O_3 , HfO_2 et TiO_2) ayant des propriétés différentes en termes de hauteurs de barrières et de permittivités relatives.

Ce manuscrit présente, la formulation des besoins du SET et de ses jonctions tunnel, le développement d'outils de simulation appropriés - basés sur les Matrices de transmission - pour la simulation du courant des jonctions tunnel du SET, l'identification des stratégies d'optimisation de ces dernières, grâce aux simulations et finalement l'étude expérimentale et l'intégration technologique des jonctions tunnel optimisées dans le procédé de fabrication de SET métallique en utilisant la technique de dépôt par couches atomiques (ALD).

Ces travaux nous ont permis de prouver l'intérêt majeur de l'ingénierie des jonctions tunnel du SET pour accroître son courant à l'état passant, réduire son courant de fuite et étendre son fonctionnement à des températures plus élevées.

Mots clés : dépôt par couche atomique, couches minces diélectriques high-k, couches minces diélectriques low-k, oxydation, transistor à un électron, composés de titane, ingénierie de la jonction tunnel, intégration BEOL

Tunnel junction engineering to improve metallic single electron transistor performances

Abstract

Today, several technological barriers and physical limitations arise against the miniaturization of the CMOS: leakage current, short channel effects, hot carrier effect and the reliability of the gate oxide. The single electron transistor (SET) is one of the emerging components most capable of replacing CMOS technology or provide it with complementary technology.

The work of this thesis deals with the improvement of the electrical characteristics of the single electron transistor by optimizing its tunnel junctions. This optimization initially starts with a study of conduction modes through the tunnel junction. It concludes with the development of an optimized tunnel junction based on a stack of dielectric materials (mainly Al_2O_3 , HfO_2 and TiO_2), having different properties in terms of barrier heights and relative permittivities.

This document, therefore, presents the theoretical formulation of the SET's requirements and of its tunnel junctions, the development of appropriate simulation tools - based on the transmission matrix model- for the simulation of the SET tunnel junctions current, the identification of tunnel junctions optimization strategies from the simulations results and finally the experimental study and technological integration of the optimized tunnel junctions into the metallic SET fabrication process using the atomic layer deposition (ALD) technique.

This work allowed to demonstrate the significance of SET tunnel junctions engineering in order to increase its operating current while reducing leakage and improving its operation at higher temperatures.

Keywords: atomic layer deposition, high-k dielectric thin films, low-k dielectric thin films, oxidation, double gate single electron transistors, titanium compounds, tunnel junction engineering, BEOL integration

Table des matières

Résumé	iii
Abstract	vii
Table des matières	ix
Table des figures	xiii
Liste des tableaux	xxiii
Liste des algorithmes	xxiii
Introduction	1
1 État de l'art	5
1.1 Les avancées en microélectronique : vers le transistor à un électron . .	5
1.1.1 Introduction au transistor à effet de champ : le MOSFET . . .	6
1.1.2 Aléas de la miniaturisation	7
1.1.2.1 Effet de canal court	7
1.1.2.2 Effet de porteur chaud	8
1.1.2.3 Fiabilité des oxydes de grille	8
1.1.3 Tendances de la miniaturisation	8
1.1.4 Les mutations du MOSFET	10
1.1.4.1 Silicon-On-Insulator (SOI)	10
1.1.4.2 Transistor multi-grilles MGFET	10
1.1.5 Composant émergent	11
1.1.5.1 Électronique de spin	11
1.1.5.2 Transistor à effet tunnel	12
1.2 Le transistor à un électron	13
1.2.1 Théorie et fonctionnement du SET	13
1.2.1.1 Effet tunnel	13
1.2.1.2 Le blocage de Coulomb	13
1.2.1.3 La boîte à électrons	14
1.2.1.4 Fonctionnement du transistor à un électron (SET) . .	18
1.2.2 Fabrication du transistor à un électron	19
1.2.2.1 SET FinFET	19

1.2.2.2	Procédé « Top Gate »	23
1.2.2.3	FD-SOI SET	24
1.2.2.4	SET métallique	26
1.3	Conclusion	30

2 Modélisation et simulation de structures Métal-Isolant-Métal : vers une jonction tunnel optimisée pour le transistor à un électron 33

2.1	Rappel sur le transport électronique dans les diélectriques	33
2.1.1	La conduction par effet tunnel direct	35
2.1.1.1	Définition	35
2.1.1.2	Modélisation mathématique	36
2.1.1.3	Matrices de transmission	36
2.1.1.4	Approximation WKB (Wentzel, Kramers et Brillouin)	41
2.1.1.5	Dépendances	43
2.1.2	La conduction de type Fowler-Nordheim	43
2.1.2.1	Définition	43
2.1.2.2	Modélisation mathématique	44
2.1.2.3	Dépendances	44
2.1.3	La conduction par émission thermoïonique	45
2.1.3.1	Définition	45
2.1.3.2	Modélisation mathématique	45
2.1.3.3	Dépendances	45
2.1.4	La conduction de type Poole-Frenkel	45
2.1.4.1	Définition	45
2.1.4.2	Modélisation mathématique	46
2.1.4.3	Dépendances	46
2.1.5	La conduction de type Hopping	46
2.1.5.1	Définition	46
2.1.5.2	Modélisation mathématique	47
2.1.5.3	Dépendances	48
2.2	Validation de l'implémentation du modèle de Matrices de transmission pour le calcul du courant tunnel	48
2.2.1	Apports au simulateur MARSSEA pour la simulation des jonctions tunnel	48
2.2.2	Matrice de transmission	49
2.2.3	Courant tunnel	49
2.3	Définition des caractéristiques optimales des jonctions tunnel du SET	51
2.3.1	Réduction de la capacité	51
2.3.2	Amélioration de la caractéristique Courant-Tension	52
2.4	Proposition d'une jonction tunnel optimisée pour le SET	53
2.4.1	La jonction tunnel VARIOT	53
2.4.2	La jonction R-VARIOT (VARIOT modifiée)	56
2.5	Étude des jonctions tunnel de type R-VARIOT	56
2.5.1	Effet de l'épaisseur	60
2.5.2	Effet de la permittivité	61
2.5.3	Capacité des jonctions tunnel multi-couches	62

2.6	Conclusion	62
3	Fabrication et caractérisation de dispositifs Métal-Isolant-Métal : validation expérimentale des jonctions à effet tunnel optimisées	65
3.1	La Fabrication des dispositifs MIM	65
3.2	Dépôt par couche atomique (ALD)	67
3.2.1	Dépôt chimique en phase vapeur (CVD)	67
3.2.2	Évolution vers l'ALD	67
3.2.3	Exemple de dépôt ALD de Al_2O_3 par Trimethylaluminium (Cambridge Nanotech)	67
3.2.4	Les modes de dépôt ALD	69
3.2.4.1	Dépôt ALD thermique	69
3.2.4.2	Dépôt ALD assisté par plasma	69
3.3	Caractérisation de dispositifs MIM à base de Al_2O_3 et HfO_2 déposé par Plasma Enhanced ALD (PEALD)	71
3.3.1	Les structures tests	71
3.3.2	Méthodes de caractérisation et de modélisations	72
3.3.3	Résultats pour des couches uniques de Al_2O_3 et de HfO_2	72
3.3.3.1	Caractérisation des états d'interfaces de l' Al_2O_3	78
3.3.4	Résultats pour des empilements de couches de Al_2O_3 et de HfO_2 : barrières multi-couches	81
3.4	Conclusion	84
4	Modélisation et simulation du transistor à un électron : amélioration des performances grâce à l'ingénierie de barrière	85
4.1	Rappel de la Théorie Orthodoxe	85
4.2	Le calcul de la résistance	87
4.3	Flot de fonctionnement du simulateur MARSSEA-TM	87
4.4	Validation des résultats de simulation	88
4.5	SET double-Grille (DG-SET)	89
4.6	Ingénierie de la jonction tunnel du DG-SET	91
4.7	Simulation de l'inverseur DG-SET intégrant des jonctions tunnel optimisées	96
4.8	Conclusion	101
5	Le procédé nanodamascène pour la fabrication de dispositifs électroniques et leur caractérisation	103
5.1	Les étapes importantes et les spécificités du procédé nanodamascène	103
5.1.1	Les étapes du procédé nanodamascène	103
5.1.1.1	Les tranchées	104
5.1.1.2	L'îlot	107
5.1.1.3	La jonction tunnel	108
5.1.1.4	Le polissage mécanique-chimique: CMP	108
5.1.1.5	Description des dispositifs fabriqués	111

5.2	Caractérisation électrique des dispositifs fabriqués avec le procédé NanoDamascène	112
5.2.1	Échantillon 1	112
5.2.1.1	Nanofil	112
5.2.1.2	MIM	113
5.2.1.3	SET	114
5.2.2	Échantillon 2	115
5.2.2.1	Le recuit $N_2 - H_2$	117
5.2.2.2	Échantillon 2 après recuit PULSE N2-H2	118
5.2.3	Échantillon 3	119
5.3	Perspectives	122
5.3.1	Matériaux	123
5.3.2	La miniaturisation	123
5.3.3	L'intégration	126
5.4	Conclusion	126
Conclusion et perspectives		127
Annexes		129
A Techniques de Micro-fabrication		131
A.1	L'évaporation par canon à électrons	131
A.1.1	Avantages de l'évaporation par canon à électrons	132
A.1.2	Inconvénients de l'évaporation par canon à électrons	132
A.2	La photolithographie	132
Bibliographie		135

Table des figures

0.0.1	Tableau périodique des éléments, les matériaux compatibles avec une intégration en BEOL d'une technologie CMOS sont marqués en vert.	2
1.1.1	Roadmap ITRS 2011, longueur de la grille et densité de transistors pour les 15 années à venir [ITRS 11]	5
1.1.2	Représentation schématisée d'un transistor MOSFET. Le substrat est dopé P avec une concentration d'accepteurs N_A . N_D^+ est la concentration de donneurs dans les zones de source et de drain. L_G est la longueur de grille et e_{ox} est l'épaisseur d'oxyde de grille [Arnaud Bournel 04].	6
1.1.3	Étapes de création du canal dans un N-MOSFET. (a) Désertion en trous sous la grille. (b) Formation du canal conducteur d'électrons [Arnaud Bournel 04].	7
1.1.4	Tendances de la recherche ITRS : More Moore et More than Moore [Roadmap 09]	9
1.1.5	Schéma d'une structure MOSFET FDSOI de STMicroelectronics [Cesana 12].	10
1.1.6	Différentes architectures de structures FET multigrilles [Lu 11].	11
1.1.7	Circuit MQCA : a) Porte Majorité. b) Logique '1' et '0' pour un nanoaimant. c) État à la masse, métastable. d) Fil MQCA [Pradhan 13].	11
1.1.8	a) Schéma d'un TFET de type P. b) Schéma représentant les bandes d'énergie du TFET dans un état OFF (bleu) et ON (rouge). c) Swing sous le seuil inférieur à 60mV/décade [Ionescu 11].	12
1.2.1	Illustration de l'énergie de charge d'un îlot dans le vide	14
1.2.2	Schéma d'une boîte à électrons	15
1.2.3	Circuit équivalent d'une boîte à électrons représentée sur la Figure 1.2.2	15
1.2.4	L'évolution de l'énergie, de la charge de l'îlot et du courant d'une boîte à électrons en variant la tension V_G [Sée 03].	17
1.2.5	Schéma représentatif du SET, drain, source, grille, et les jonctions tunnel en TiO_2	18
1.2.6	(a) Oscillations de Coulomb du SET dans la Caractéristique $I_D - V_{GS}$ pour $V_{DS} = 120mV$, et (b) Caractéristique $I_D - V_{DS}$ illustrant l'annulation du phénomène de blocage de Coulomb. Les paramètres du SET sont : $T = 300K$, $C_{G1} = C_{G2} = 0.1aF$ et $C_S = C_D = 0.05aF$ [Bounouar 13].	18

1.2.7	a : Procédé de fabrication d'une FinFet [Hisamoto 00] (b) vue en coupe du canal (coupe en a-b). [(c) et (d)] Vue en coupe TEM du fil <i>Si</i> gravé (le long de la coupe c-d après oxydation à 900 °C pendant 50 et 40 min, montrant l'îlot du SET ayant une taille de 2 nm pour le SET_A et 4 nm pour le SET_B . (e) Vue en coupe TEM le long de la coupe a-b après le dépôt du <i>poly-Si</i> de la grille [Shin 10].	20
1.2.8	Dépendance de la température des caractéristiques $I - V_g$ mesurées pour diverses températures de 5, 3K jusqu'à 300K pour une tension $V_{ds} = 50mV$. La principale caractéristique à 300K persiste même à basse température jusqu'à 5, 3K, mais un fractionnement frappant dépendant de la température est observé dans chaque pic de Coulomb [Shin 10].	21
1.2.9	Vue SEM de l'ensemble du dispositif. Pad source/drain en SiNW de 400nm de longueur encapsulé par la grille de Si amorphe de 130nm d'épaisseur.	21
1.2.10	Photo TEM du nanofil de <i>Si</i> avec un diamètre de 3 nm après oxydation thermique et le dépôt de <i>Si</i> amorphe de la grille enrobante [Sun 11a].	22
1.2.11	$I_d - V_g$ en fonction de la température pour un nanofil de 6 nm de diamètre à $V_d = 0.05V$ (région linéaire) [Singh 06].	22
1.2.12	$I_d - V_g$ en fonction de la température d'un point quantique de 1.4nm [Sun 11b].	23
1.2.13	Vue de côté schématique et image MEB de la fin du procédé « electroless plating » avec des électrodes nanogap en <i>Au</i> et représentation schématique du circuit externe pour les mesures électriques. La séparation « nanogap » entre les électrodes de source et de drain est de 5nm et la distance entre la grille et les électrodes de la source et du drain est de 25nm [Azuma 10].	23
1.2.14	a) Représentations schématiques et images SEM du procédé de fabrication d'un pont de l'électrode métallique supérieure. b) (a) Caractéristiques $I_d - V_g$ du transistor à un électron ayant une électrode supérieure à 9K (b) Le diagramme de stabilité du transistor à 9K [Azuma 11].	24
1.2.15	a) Schéma et b) image TEM de la section du transistor selon l'axe drain source avec une grille G, source S, et drain D. c) Circuit électrostatique équivalent. d) Vue de dessus du dispositif [Deshpande 12].	25
1.2.16	Organigramme du procédé utilisé pour le tri-gate NWMOSFETs sur SOI [Deshpande 12].	25
1.2.17	$I_D - V_G$ et transconductance $G_M - V_G$ pour deux NMOS (dispositif A et B) avec les mêmes dimensions. La transition du MOSFET au SET est observée en raison des variations dans le canal de potentiel (schéma ci-dessus) (a) le dispositif A fonctionne comme un MOSFET classique. (b) Oscillations observées dans I_D et G_M du dispositif B. Des pics marqués par des flèches (séparation = 160 mV). Le dispositif B se comporte comme un SET [Deshpande 12].	27

1.2.18	Gauche : vue de dessus et vue de côté en coupe des étapes principales de fabrication. (a) couche de SOI gravée jusqu'au « rib » du Si et une grille adjacente. (b) dépôt conforme d'oxyde PECVD. (c) CMP de l'oxyde. (d) EBL pour former l'îlot. (e) Gravure à la cryoetch à haute sélectivité pour former une rupture dans le fil de silicium. (f) croissance de l'oxyde ultramince sur les flancs. (g) LPCVD dépôt de silicium polycristallin. (h) polysilicium CMP. [Joshi 08] Droite : Aperçu de la fabrication. Dans (a) et (b), le long de la direction de A-A', la surcouche de nitrure au-dessus de l'oxyde PECVD améliore la planarisation par la CMP, en particulier dans un espace ouvert. Dans (c), le long de la direction de B-B', la tranchée est gravée et ses parois latérales oxydées (d), elle est remplie de a-Si dopé (e), et est polie par CMP (f) pour former un îlot [Lee 10].	28
1.2.19	Oscillations de la conductance en variant la tension de grille en utilisant (a) la première grille et (b) la deuxième grille. La deuxième grille a un couplage plus faible sur l'îlot et sa période d'oscillation est plus grande que celui de la première grille [Lee 11].	29
1.2.20	Procédé de fabrication nanodamascène [Dubuc 07].	29
1.2.21	Procédé de fabrication NanoDamascène avec grille autoalignée. En haut : vue en coupe. En bas, vue de dessus. Bleu = TiO_x ; Jaune = Ti ; Gris foncé = SiO_2 [Morissette 10].	30
1.2.22	Gauche : Courant drain en fonction de la polarisation du substrat (grille) Droite : caractéristique de SET en fonction de la température [Dubuc 07].	30
2.1.1	Schéma d'une barrière de potentiel d'un diélectrique d'une épaisseur d entre deux électrodes métalliques sous un potentiel appliqué V	34
2.1.2	Diagramme de bandes d'énergie représentant la conduction d'un électron par effet tunnel direct entre deux électrodes métalliques à travers un diélectrique.	35
2.1.3	Diagramme de bandes pour la barrière de potentiel constituée de N couches diélectriques. Chaque couche diélectrique est caractérisée par une hauteur de barrière $\Phi_{B0,i}$, une constante diélectrique ϵ_i , une masse effective m_i , et une épaisseur $d_i = X_{i+1} - X_i$. Avec V_d le potentiel appliqué à la jonction tunnel complète [Govoreanu 03e].	37
2.1.4	Diagramme de bande d'une barrière d'une couche isolante entre deux électrodes conductrices [Simmons 63].	42
2.1.5	Approximation de la barrière de potentiel rectangulaire entre deux électrodes pour : a) $V = 0$; b) $V < \varphi_0/e$; c) $V > \varphi_0/e$ [Simmons 63].	42
2.1.6	Diagramme de bandes d'énergie représentant la conduction d'un électron par effet Fowler-Nordheim entre deux électrodes métalliques à travers un diélectrique.	44
2.1.7	Diagramme de bandes d'énergie représentant la conduction d'un électron par effet Poole-Frenkel. Entre chaque piège, l'électron est transporté par effet thermoionique au dessus de la berrière de potentiel	46

2.1.8	Variation du paramètre α_{PF} en fonction de la distance entre pièges [SALVO 99].	47
2.1.9	Diagramme de bandes d'énergie représentant la conduction d'un électron par effet Hopping. Entre chaque piège l'électron est transporté par effet tunnel direct.	47
2.2.1	Diagramme de bandes pour une jonction tunnel symétrique représentant l'abaissement de la barrière de potentiel dû à la force image, et les différents modes de conceptions électroniques, courant tunnel et courant thermoionique, et leurs gammes d'énergies respectives. . .	48
2.2.2	Probabilité de transmission d'une jonction tunnel de 3nm SiO_2 sous un champs électrique appliqué de 5MV/cm et 10MV/cm. Données de Govoreanu et al. (2003) et simulation de la même transmission avec notre modèle implémenté [Govoreanu 03e].	50
2.2.3	Calcul de la probabilité de transmission $T(E_x)$ utilisant la méthode des matrices de transmission pour $V = 0.1V$ pour une diode $Nb/Nb_2O_5/Nb$ le travail de sortie est $W = 4.3eV$, l'affinité électronique et la permittivité sont 4eV et 41. Un bon accord entre les données et la simulation est démontré [Hashem 13].	50
2.2.4	Comparaison du calcul de courant tunnel de Govoreanu et al. (2003) (croix) et notre modèle de Matrices de transmission (TM) (ligne continue) pour une jonction tunnel de 4nm SiO_2 (bleu) et 7nm SiO_2 (rouge) et une jonction tunnel composée d'une couche 2.5nm SiO_2 et d'une couche 12.5nm HiK (noir) [Govoreanu 03e]. Nous avons aussi comparé les calculs utilisant le modèle WKB du simulateur MARSSEA en ligne discontinue pour les jonctions mono-diélectriques. . .	51
2.3.1	Schéma représentant un condensateur : un diélectrique d'une épaisseur d entre deux plaques métalliques d'une surface A	52
2.4.1	Diagrammes de bandes illustrant le concept VARIOT en bande plate et sous polarisation V appliquée. L'isolant à faible constante diélectrique a une épaisseur t et une constante diélectrique kL et l'isolant à forte constante diélectrique a une épaisseur t et une constante diélectrique kH . En raison de la différence entre les constantes diélectriques, le champ à travers l'empilement se redistribue par rapport au cas à une seule couche, ce qui permet d'avoir une barrière apparente plus mince pour une même polarisation appliquée. (a) Barrière deux couches (asymétrique). (b) Barrière Trois couches (symétrique) [Govoreanu 03b].	54

2.4.2	Densités de courant des différents empilements de diélectriques. Les paramètres de matériaux utilisés sont $k = 3.9$, $\Phi_B = 3.15eV$ (SiO_2); $k = 10$, $\Phi_B = 2.8eV$ (Al_2O_3); $k = 24$, $\Phi_B = 1.5eV$ (ZrO_2). Les matériaux pris en compte ont été choisis en raison de leur constante diélectrique plus élevée que celle du SiO_2 . La masse effective est de 0.5. Tous les empilements ont un épaisseur d'oxyde effective (EOT) de 5nm. L'électrode de grille correspond au polysilicium de type n et le substrat en Si dopé $10^{17}cm^{-3}$. Le graphique interne montre des mesures et des calculs de courants à travers un empilement de SiO_2/ZrO_2 [Govoreanu 03b].	55
2.4.3	Diagramme de bandes des jonctions tunnel VARIOT et R-VARIOT asymétrique et symétrique avec et sans potentiel appliqué.	57
2.4.4	Diagramme de bandes d'une structure R-VARIOT asymétrique indiquant les modes de conduction à faible et fort champ. Les flèches représentent les modes de conduction tunnel et thermoionique. . . .	57
2.5.1	Diagrammes de bandes des jonctions tunnel R-VARIOT. Toutes les structures ont une épaisseur de 6nm. La structure mono-diélectrique (Single Layer) est formée de 6nm d'un diélectrique LBLK ayant $\epsilon_{r1} = 3.5$, $\Phi_{b1} = 0.5eV$. Les structures A, L et U sont formées de 2/3 du même diélectrique LBLK et de 1/3 d'un diélectrique HBHK ayant $\epsilon_{r2} = 15$, $\Phi_{b2} = 1.5eV$	58
2.5.2	Calcul des caractéristiques de densité de courant-Tension pour chacune des structures : mono-diélectrique, L, A et U.	58
2.5.3	Probabilité de transmission des structures : mono-diélectrique, L, A et U (comme décrit précédemment) pour une tension appliquée de 0.6V.	59
2.5.4	Densité de courant de différentes structures, mono-couche, L, A et U de type R-VARIOT. Toutes les structures ont une épaisseur de 4nm. L'épaisseur des couches HBHK et LBLK varient.	60
2.5.5	Densité de courant de différentes structures, L, A et U de type R-VARIOT. La permittivité des couches HBHK varie de 3.5 à 30. . . .	61
2.5.6	Énergie de charge d'un îlot, ayant comme jonction tunnel un diélectrique d'une épaisseur de 5nm et une surface de $20 \times 2nm^2$, en fonction de la permittivité relative de ce diélectrique.	62
2.5.7	Permittivité effective d'une jonction tunnel d'une épaisseur de 5nm et d'une surface de $20 \times 2nm^2$, composé d'une couche de 1nm ayant une permittivité de 3.5 et une couche de 4nm dont on fait varier la permittivité.	63
3.1.1	Flot de fabrication des dispositifs MIM	66
3.1.2	Schéma représentant les dispositifs MIM finaux.	67
3.2.1	Exemple de dépôt ALD de Al_2O_3 par Triméthylaluminium [Cam 14].	68
3.2.2	Fenêtre de température ALD [VIOLET 08]	70

3.3.1	Étape post-développement de la photo-résine pour le dépôt des contacts métalliques. a) Mesure des structures de contacts d'une surface de $93 \times 93 \mu m^2$ (initialement $100 \times 100 \mu m^2$) et de $200 \times 200 \mu m^2$. b) Mesure du dégagement sous la surface de la résine d'environ $3 \mu m$.	72
3.3.2	Mesure topographique AFM par tapping sur une surface de $2 \mu m^2$ pour un dépôt de 5nm Al_2O_3 sur un substrat a) Si et b) Si recouvert de 100nm de Pt	73
3.3.3	Mesure topographique AFM par tapping sur une surface de $2 \mu m^2$ pour un dépôt de 5nm HfO_2 sur un substrat a) Si et b) Si recouvert de 100nm de Pt	73
3.3.4	Effet de la durée d'exposition au plasma O_2 , 20s ou 40s pour l' Al_2O_3 (gauche) et de l' HfO_2 (droite) sur les propriétés électriques ; (a) J-V, (b) C-V et (c) tracé FN, mesuré à 300K [El Hajjam 14].	74
3.3.5	Résultats de l'analyse XPS sur un échantillon de 5nm d' Al_2O_3 déposé avec une exposition de 20s au plasma O_2	76
3.3.6	Résultats de l'analyse XPS sur un échantillon de 5nm d' Al_2O_3 déposé avec une exposition de 40s au plasma O_2	76
3.3.7	Effet du temps d'exposition au plasma O_2 <i>in situ</i> à 300W sur la capacité surfacique (lignes discontinues) et la densité de courant à 2V (lignes continues) de Al_2O_3 et du HfO_2 .	78
3.3.8	Effet du temps de recuit sous N_2 à $450^\circ C$ sur la capacité surfacique (lignes discontinues) et la densité de courant à 2V (lignes continues) de Al_2O_3 et du HfO_2 .	79
3.3.9	Mesure C-V à différentes fréquences d'une structure MIS. Comparaison à la simulation d'une structure idéale et extraction du décalage de la bande plate.	80
3.3.10	Variation de la densité d'états d'interface par la méthode haute et basse fréquence combinée en fonction de leur position dans le gap	80
3.3.11	Schéma représentant les diagrammes de bandes d'énergie pour différentes structure multi-couches de type A, M et U en plus d'une structure formée d'une couche unique. Les épaisseurs de chaque couche sont indiquées dans le schéma.	81
3.3.12	Mesures électriques (a) J-V et (b) C-V des jonctions tunnel composées de barrières multi-couches.	83
4.3.1	Diagramme représentant la méthode de calcul du courant dans un SET avec le simulateur MARSSEA-TM et MARSSEA.	88
4.4.1	Comparaison des mesures d'un SET fabriqué par Dubuc et al. (2009) [Dubuc 09] et des simulations du SET utilisant notre simulateur MARSSEA-TM avec des jonctions tunnel d'une surface de $10nm \times 2nm$, d'une épaisseur de 8nm, $\epsilon_r = 3.5$, $\varphi_{max} = 0.35eV$ et une masse effective $m^* = 0.4$. La capacité de grille est de 0.23aF.	89

4.5.1	Configuration du DG-SET en fonction de la tension appliquée sur la deuxième grille. (a) Type P, (b) Type N, (c) Caractéristiques $I_{DS} - V_{GS1}$ simulées (notre modèle) pour $V_{GS2} = GND$ (type P) et $V_{GS2} = V_{DD}$ (type N). Les paramètres du SET sont $C_{G1} = C_{G2} = 0.057aF$, $C_s = C_d = 0.039aF$ pour une jonction tunnel de 4nm de TiO_x [El Hajjam 15].	90
4.5.2	Circuit équivalent du DG-SET incluant deux jonctions tunnel et deux grilles [El Hajjam 15].	91
4.6.1	Comparaison entre le courant tunnel d'une MIM ayant une surface de $5nm^2$ et le courant de drain d'un P-SET pour des jonctions tunnel se composant de 4nm de TiO_x , 2.7nm de Al_2O_3 et 4nm $TiO_x + 1nm Al_2O_3$. Pour le P-SET $V_{DD} = 0.7V$ et $C_g = 0.057aF$ (Les paramètres des matériaux sont décrits dans le Tableau 2.1).	92
4.6.2	Comparaisons du courant I_{ON} et du ratio I_{ON}/I_{OFF} de P-SET ayant des jonctions tunnel R-Variot asymétriques et mono-diélectrique (un seul diélectrique). Concernant les structures R-Variot asymétriques, les symboles désignent un empilement de matériaux et l'épaisseur des couches LB et HB dans cette empilement. L'épaisseur des jonctions tunnel mono-diélectriques est de 4nm (Les paramètres des matériaux sont décrits dans le Tableau 2.1). $V_{DD} = 0.7V$ et $C_g = 0.057aF$ sont la tension de pilotage et la capacité de grille du P-SET et $5nm^2$ est la surface de chacune de ses jonctions tunnel [El Hajjam 15].	94
4.6.3	Caractéristiques $I_d - V_g$ représentant les oscillations de Coulomb de différents P-SET ayant une jonction tunnel de 4nm de TiO_x pour des capacités de grille allant de 0.05aF à 0.1aF et leurs V_{DD} correspondant.	96
4.6.4	Caractéristiques $I_d - V_g$ représentant les oscillations de Coulomb de différents P-SET ayant une jonction tunnel R-Variot asymétrique 3nm $TiO_x + 1nm TiO_2$ pour des capacités de grille allant de 0.05aF à 0.1aF et leurs V_{DD} correspondant.	97
4.6.5	Caractéristiques $I_d - V_g$ représentant les oscillations de Coulomb de différents P-SET ayant une jonction tunnel R-Variot asymétrique 3.5nm $TiO_x + 0.5nm TiO_2$ pour des capacités de grille allant de 0.05aF à 0.1aF et leurs V_{DD} correspondant.	97
4.6.6	Comparaison des caractéristiques $I_d - V_g$ représentant les oscillations de Coulomb de deux P-SET, le premier ayant une jonction tunnel R-Variot asymétrique 3nm $TiO_x + 1nm TiO_2$ et le deuxième 4nm de TiO_x , à 300K, 400K et 500K et pour une tension $V_{DD} = 0.7V$	98
4.7.1	Schéma électrique d'un inverseur DG-SET	99
4.7.2	Intégration du modèle tabulé dans le modèle compact MAB pour la simulation d'inverseur DG-SET	100
4.7.3	Caractéristique statique d'un inverseur DG-SET simulée à l'aide de notre modèle à $T = 300K$. Les paramètres du SET et des jonctions sont : $C_{G1} = C_{G2} = 0.057aF$, surface de la jonction = $1nm * 5nm$	101
5.1.1	Procédé nanodamascène pour la fabrication du transistor à un électron.	105

5.1.2	Tests de doses sur la résine ZEP pour la formation de tranchées ayant une largeur allant de a) 50nm à b) 500nm	105
5.1.3	Deux dessins différents des motifs de structures pour un transfert par lithographie électronique. a) Structure comprenant quatre dispositifs: deux SET à gauche et à droite, une MIM en haut, et un nanofil en bas. b) Structure comprenant deux SET et une MIM au centre.	106
5.1.4	Images MEB représentant le transfert, par gravure sur SiO_2 de 20nm de profondeur, de deux structures SET différentes.	107
5.1.5	Images MEB représentants le liftoff d'une ligne métallique dans les motifs gravés des structures SET	108
5.1.6	Images MEB représentants l'évolution des dispositifs suite à une étape de polissage par CMP	110
5.1.7	Images MEB représentants l'évolution des motifs de contrôle suite à une étape de polissage par CMP	110
5.1.8	a) Image MEB représentant de dispositifs après une étape de CMP. b) Image AFM d'un dispositif MIM. c) Profil AFM du dispositif. . .	111
5.1.9	Schéma représentant les dispositifs: nanofil, MIM et SET fabriqués par le procédé NanoDamascène.	112
5.2.1	Résistance du nanofil Échantillon 1	113
5.2.2	Caractéristiques I-V dans la MIM de l'Échantillon 1 à différentes températures 70K, 120K, 200K et 300K	113
5.2.3	Caractéristiques $I_d - V_{ds}$ du SET de l'échantillon 1 à différentes températures 70K, 120K, 200K et 300K pour une tension $V_g = 0V$. La tension V_g est variée de 0 à 400mV pour la mesure à 300K. . .	114
5.2.4	Caractéristiques $I_d - V_{ds}$ du SET de l'échantillon 1 à 120K pour une tension $V_g = 0V$ avant et après stress.	115
5.2.5	Caractéristiques $I - V$ dans la MIM de l'Échantillon 2 à différentes températures 120K, 200K et 300K	116
5.2.6	Tracé Hopping/Pool Frenckel de la caractéristique de la MIM de l'Échantillon 2 à différentes températures 120K, 200K et 300K . .	116
5.2.7	Consigne de température du recuit RTA sous forming gaz (N_2-H_2 90%-10%).	117
5.2.8	Mesure électrique du courant tunnel de la MIM de l'échantillon 2 après recuit dans des conditions d'éclairage et d'obscurité.	118
5.2.9	Tracé Hopping/Pool Frenckel de la caractéristique de la MIM de l'Échantillon 2 après recuit.	119
5.2.10	Données expérimentales et simulation d'une MIM composée de 1.1nm de TiO_x et 0.72nm de Al_2O_3 à 1.6K [El Hajjam 15, GUILMAIN 13b].	120
5.2.11	Données expérimentales et simulation de la caractéristique $I_d - V_{ds}$ du SET ayant une jonction tunnel composée de 1.1nm de TiO_x et 0.65nm de Al_2O_3 à 1.6K et 9K [El Hajjam 15, GUILMAIN 13b]. . .	120
5.2.12	Données expérimentales et simulation de la caractéristique $I_d - V_g$ du SET ayant une jonction tunnel composée de 1.1nm de TiO_x et 0.65nm de Al_2O_3 à 1.6K pour $V_{ds}=2mV$ [El Hajjam 15, GUILMAIN 13b].	121

5.2.13	Image AFM montrant un SET d'une grille de 49.3nm, drain, source et un ilot d'une largeur de 25.3nm et une longueur de 39.1nm entre deux jonctions tunnel [El Hajjam 15, GUILMAIN 13b].	122
5.3.1	Image TEM du SET montrant l'ilot, le drain et la source ainsi que le profil AFM de la structure [Jouvet 12].	122
5.3.2	Amincissement de la tranchée contenant un nanofil métallique (Bleu) après dépôt d'un diélectrique par ALD (rouge) sur un substrat de SiO_2 (Blanc), avant et après CMP.	123
5.3.3	Schématisation du résultat de l'intégration de SETs dans le BEOL d'un noeud technologique CMOS, destiné à la réalisation d'une architecture hybride 3D s'inscrivant dans le More Than Moore [Jouvet 12].	124
5.3.4	Coupe TEM d'un SET fabriqué au dessus du premier niveau de métal (Métal 1) d'un procédé CMOS [Jouvet 12]	125
A.1	Schéma d'un évaporateur par canon à électrons [FAUCHAIS 13] . .	131
A.1	Procédé de photolithographie pour une application à la gravure (Gauche) et une application au Lift-Off d'un dépôt métallique (Droite) [Microresist 15].	133

Liste des tableaux

2.1	Liste de diélectriques et de leurs paramètres respectifs : constante diélectrique, hauteur de la barrière de potentiel et masse effective des électrons listés en trois catégories différentes.	59
3.1	Paramètres PEALD pour le Al_2O_3 et le HfO_2	72
3.2	Comparaison des résultats XPS pour deux échantillons de 5nm d' Al_2O_3 exposés à 20s et à 40s au plasma O_2	76
3.3	Paramètres extraits à 300K. C est la capacité surfacique, $\Phi(eV)$ est la hauteur de la barrière en eV, m^* la masse effectif, $J_{th}(A/m^2)$ la densité de courant thermoionique, $J_{tu}(A/m^2)$ la densité de courant tunnel pour un potentiel appliqué de 2V, et $E_c = e^2/C_\Sigma$ est l'énergie de charge pour un SET ayant deux jonctions tunnel d'une surface de 20nm ²	77
5.1	Résistance des nanofils avant et après recuit.	118

Liste des algorithmes

2.1	Code Matlab pour le calcul de la barrière de potentiel pour un potentiel appliqué V_d	38
2.2	Code Matlab pour le calcul de la composante M_{11} de la matrice M . . .	39
2.3	Code Matlab pour le calcul de la probabilité de transmission d'un électron à travers une barrière de potentiel à N couches de diélectriques.	40
2.4	Code Matlab pour le calcul de la densité de courant	41
4.1	Code Verilog-A pour le calcul de la résistance tunnel	99
4.2	Code Verilog-A utilisant le modèle tabulé pour l'extraction du courant tunnel pour une valeur de potentiel	99

Introduction

Cadre général et objectifs

Les avancées importantes des technologies de l'information sont intimement liées à la loi de Moore. Depuis l'essor de l'industrie de la microélectronique, cette loi a pu prédire avec exactitude le développement du transistor MOS (Metal Oxide Semiconductor) à effet de champ. En effet, le nombre de transistors dans une puce électronique a doublé tous les deux ans grâce à la miniaturisation agressive des dispositifs électroniques. Actuellement, l'évolution de l'intégration des dispositifs CMOS dans un circuit électronique a atteint plusieurs limites physiques. En particulier, à des dimensions aussi agressives, le comportement électronique du dispositif sort du domaine de la physique semi-classique et rentre dans le domaine de la physique quantique. À ce jour, toutes les feuilles de route technologiques prédisent la fin de la miniaturisation de la technologie CMOS à un nœud de 7nm. Depuis donc déjà plusieurs années, la recherche de solutions de substitution au CMOS ou bien de solutions complémentaires à cette technologie a pris tout son sens.

Dans ce cadre-là, plusieurs technologies dont le transistor à un électron sont des candidats intéressants pour une intégration hétérogène avec une technologie CMOS avancée. Le SET (Single Electron Transistor), utilisant le principe du blocage de Coulomb pour faire passer un courant, électron par électron, pour une gamme précise de potentiel, permet une consommation très basse en énergie. Reste que la fabrication de ce transistor est en elle-même un challenge technologique, puisque le bon fonctionnement de celui-ci à température ambiante est lié à notre capacité d'avoir un procédé stable et répétable pour la fabrication de transistors ayant des dimensions très proches du nanomètre. La technologie développée à l'université de Sherbrooke pour la fabrication de transistor à un électron métallique a démontré des résultats prometteurs. La fabrication des transistors à un électron par ce procédé est complètement compatible pour une intégration avec une technologie CMOS, ces transistors sont aussi fonctionnels à température ambiante.

Contraintes technologiques d'une intégration en Back End Of Line (BEOL)

Le procédé NanoDamascène vise à fabriquer des dispositifs SET en BEOL d'une technologie CMOS. Pour que l'intégration se passe convenablement, le procédé utilisé doit être compatible BEOL : cela impose plusieurs contraintes technologiques au niveau des matériaux utilisés, mais aussi au niveau des procédés de fabrication. La Figure 0.1.1 représente le tableau périodique des éléments, parmi ces éléments nous remarquons en vert, les matériaux compatibles avec une intégration en BEOL d'une

technologie CMOS. Il apparaît que les possibilités sont très limitées. En termes de procédés, il est aussi impératif que toute technique utilisée en BEOL ne dépasse pas la température de 450°C. Le dépassement de cette température engendrerait, entre autres, la détérioration des transistors MOS. Nous utilisons donc le principe du budget thermique ne dépassant pas 450°C.

hydrogen 1 H 1.0079																	beryllium 4 Be 9.0122																	boron 5 B 10.811	carbon 6 C 12.011	nitrogen 7 N 14.007	oxygen 8 O 15.999	fluorine 9 F 18.998	neon 10 Ne 20.180	
lithium 3 Li 6.941																	beryllium 4 Be 9.0122																	aluminum 13 Al 26.982	silicon 14 Si 28.086	phosphorus 15 P 30.974	sulfur 16 S 32.065	chlorine 17 Cl 35.453	argon 18 Ar 39.948	
sodium 11 Na 22.990																	magnesium 12 Mg 24.305																	gallium 31 Ga 69.723	germanium 32 Ge 72.64	arsenic 33 As 74.922	seelenium 34 Se 78.96	bromine 35 Br 79.904	krypton 36 Kr 83.80	
potassium 19 K 39.098																	calcium 20 Ca 40.078																	zinc 30 Zn 65.39	gallium 31 Ga 69.723	germanium 32 Ge 72.64	arsenic 33 As 74.922	seelenium 34 Se 78.96	bromine 35 Br 79.904	krypton 36 Kr 83.80
rubidium 37 Rb 85.468																	strontium 38 Sr 87.62																	cadmium 48 Cd 112.41	indium 49 In 114.82	tin 50 Sn 118.71	antimony 51 Sb 121.76	tellurium 52 Te 127.60	iodine 53 I 126.90	xenon 54 Xe 131.29
caesium 55 Cs 132.91																	barium 56 Ba 137.33																	mercury 80 Hg 200.59	thallium 81 Tl 204.38	lead 82 Pb 207.2	bismuth 83 Bi 208.98	polonium 84 Po [209]	astatine 85 At [210]	radon 86 Rn [222]
francium 87 Fr [223]																	radium 88 Ra [226]																	unlabeled 110 Uun [272]	unlabeled 111 Uuu [273]	unlabeled 112 Uub [274]	unlabeled 114 Uuq [289]			helium 2 He 4.0026

* Lanthanide series													
lanthanum 57 La 138.91	cerium 58 Ce 140.12	praseodymium 59 Pr 140.91	neodymium 60 Nd 144.24	promethium 61 Pm [145]	samarium 62 Sm 150.36	europium 63 Eu 151.96	gadolinium 64 Gd 157.25	terbium 65 Tb 158.93	dysprosium 66 Dy 162.50	holmium 67 Ho 164.93	erbium 68 Er 167.26	thulium 69 Tm 168.93	ytterbium 70 Yb 173.04
actinium 89 Ac [227]	thorium 90 Th 232.04	protactinium 91 Pa 231.04	uranium 92 U 238.03	neptunium 93 Np [237]	plutonium 94 Pu [244]	americium 95 Am [243]	curium 96 Cm [247]	berkelium 97 Bk [247]	californium 98 Cf [251]	einsteinium 99 Es [252]	fermium 100 Fm [257]	mendelevium 101 Md [258]	nobelium 102 No [259]

** Actinide series

FIGURE 0.0.1 – Tableau périodique des éléments, les matériaux compatibles avec une intégration en BEOL d'une technologie CMOS sont marqués en vert.

Question de recherche

Est-il possible d'optimiser les caractéristiques électriques du transistor à un électron métallique en optimisant la conduction dans les jonctions tunnel de celui-ci tout en respectant les contraintes d'un procédé compatible BEOL ?

Hypothèse et méthodologie

Pour répondre à cette question, nous allons tout d'abord présenter un cahier des charges simple des besoins du SET et de ses jonctions tunnel :

Augmenter le courant dans l'état passant du SET nécessite :

Hauteur de la barrière de potentiel du diélectrique faible.

Épaisseur du diélectrique faible.

Diminuer le courant dans l'état bloqué du SET nécessite :

Hauteur de la barrière de potentiel du diélectrique élevée.

Épaisseur du diélectrique élevée.

Diminuer la capacité des jonctions tunnel nécessite :

Constante diélectrique faible.

Épaisseur du diélectrique élevée.

Nous remarquons que les besoins présentent plusieurs contradictions. Nous remarquons aussi que la problématique telle qu'elle est présentée ici présente plusieurs ressemblances avec la problématique visant le développement des diélectriques tunnel pour les mémoires non volatiles. Nous allons donc nous inspirer du développement déjà enclenché pour l'amélioration des diélectriques tunnel pour les mémoires non volatiles pour optimiser les jonctions tunnel du SET.

Organisation de la thèse

Ce manuscrit de thèse est décomposée en cinq chapitres illustrant les résultats des différents axes de ce travail de recherche. L'organisation des chapitres est guidée par une logique constructive. Les chapitres avancés se basent donc sur les résultats et les conclusions des chapitres précédents. Dans le premier chapitre, nous présentons les avancées en microélectronique, les composants émergents, puis un état de l'art des technologies de fabrication des transistors à un électron. Nous avons aussi organisé cet état de l'art d'une manière logique, qui permet d'avoir un point de vue global sur la pertinence de chacune des techniques de fabrication par rapport aux autres. Nous avons donc analysé constructivement les techniques en elles-mêmes et les résultats électriques des SET fabriqués.

Dans le deuxième chapitre, nous exposons les différents modes de conduction dans les jonctions tunnel, leurs formalismes mathématiques et leurs implémentations dans le langage de programmation Matlab. Nous avons finalement proposé des jonctions tunnel basées sur des empilements de diélectriques ayant différentes hauteurs de barrière de potentiel et permittivités relatives. Nous avons étudié différents paramètres électriques, pour proposer des jonctions tunnel optimisées pour la conduction électrique dans un SET.

Dans le troisième chapitre, nous développons le travail expérimental pour vérifier les résultats présentés dans le cadre du chapitre précédent. Après une étude des matériaux Al_2O_3 et HfO_2 déposés par ALD, nous avons fabriqué des jonctions tunnel optimisées avec différentes combinaisons d'empilements de ces deux diélectriques. Nous avons réussi à optimiser la conduction des jonctions tunnel (courant à l'état ON et à l'état OFF) tout en conservant une capacité faible nécessaire pour le bon fonctionnement du SET.

Une fois la jonction tunnel validée dans les chapitres 2 et 3, dans le quatrième chapitre, nous passons à l'étape de l'intégration de cette jonction tunnel dans des dispositifs SET pour mesurer son intérêt pour une intégration technologique. Nous nous sommes basés sur le dispositif SET double grille (DG-SET) pour nos simulations, démontrant une amélioration des caractéristiques électriques de ce dernier, principalement en augmentant le courant à l'état passant et en diminuant le courant à l'état bloqué.

Dans le cinquième chapitre, nous discutons des différentes étapes du procédé de fabrication des dispositifs SET et du moyen d'intégrer les jonctions tunnel développées au sein de ce procédé. Nous présentons certains des dispositifs fabriqués

et nous analysons leurs caractéristiques électriques. Finalement, nous discutons de certaines limites du procédé actuel et nous présentons certaines alternatives pour son développement.

Chapitre 1

État de l'art

1.1 Les avancées en microélectronique : vers le transistor à un électron

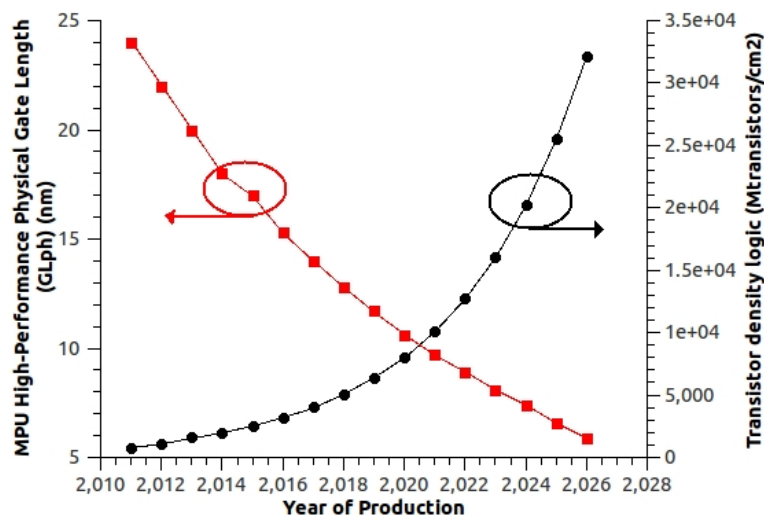


FIGURE 1.1.1 – Roadmap ITRS 2011, longueur de la grille et densité de transistors pour les 15 années à venir [ITRS 11]

Suivant la loi de Moore, depuis les années 50, le nombre de transistors ne cesse d'augmenter et leur taille ne cesse de diminuer, ce qui assure une évolution permanente de la technologie et l'essor de l'industrie microélectronique. Le transistor à effet de champ, Field Effect Transistor (FET) est au centre de cette industrie. En effet, le transistor FET MOS (Metal Oxide Semiconductor) grâce à la technologie CMOS (Complementary MOS) est le composant le plus présent dans l'électronique numérique. Les idées fondamentales décrivant le comportement du transistor MOS datent de 1930 [LILIENFELD 30]. Il a fallu un développement technologique important, surtout en termes de croissance d'oxyde, pour que le transistor MOSFET soit introduit. L'ITRS (International Technology Roadmap for Semiconductors), qui

est la roadmap sur laquelle l'industrie de la microélectronique se base, continue à prévoir une évolution de la miniaturisation et de la densité des transistors. La Figure 1.1.1, prise de l'ITRS édition 2011, montre les prédictions de cette évolution pour les quinze années à venir [ITRS 11]. Pour le MOS, une longueur de grille de 7nm est prévue à partir de 2026. Cependant, plusieurs obstacles technologiques et limitations physiques s'opposent à cette miniaturisation : courants de fuite, effet de canal court, effet de porteur chaud et fiabilité des oxydes de grille. Il faut donc un travail d'ingénierie sur les architectures, mais aussi les matériaux intégrés dans les futurs composants pour pouvoir dépasser ces obstacles.

1.1.1 Introduction au transistor à effet de champ : le MOSFET

La Figure 1.1.2 représente le schéma d'un transistor MOS. Ce dernier étant un simple interrupteur électrique : le passage des porteurs de charges de la source au drain est piloté à l'aide de la grille du transistor [Arnaud Bournel 04]. Si les porteurs arrivent à passer de la source au drain du transistor, le transistor est donc passant ou ON. Au contraire si les porteurs sont bloqués et n'arrivent pas à passer de la source au drain, le transistor est donc non-passant ou OFF. Le phénomène critique pour la réalisation de cette dynamique est la formation du canal conducteur de porteurs entre la source et le drain juste en dessous de l'oxyde de grille. Une fois le canal créé, les porteurs doivent être entraînés de la source en direction du drain. Dans le cas du transistor représenté dans la Figure 1.1.2, une polarisation positive de la grille est nécessaire pour la création du canal d'inversion et donc pour faire commuter le transistor de l'état OFF à ON (cas du MOSFET type N).

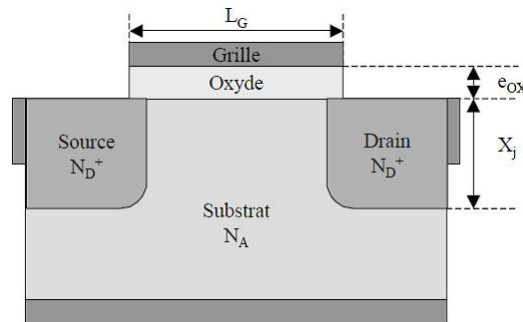


FIGURE 1.1.2 – Représentation schématique d'un transistor MOSFET. Le substrat est dopé P avec une concentration d'accepteurs N_A . N_D^+ est la concentration de donneurs dans les zones de source et de drain. L_G est la longueur de grille et e_{ox} est l'épaisseur d'oxyde de grille [Arnaud Bournel 04].

Avant la création du canal, le transistor est dit naturellement OFF : aucune polarisation n'est nécessaire pour que le transistor soit non passant. La Figure 1.1.3 décrit la dynamique des porteurs pour la création du canal de conduction. Dans une première étape, en appliquant une tension de grille $V_{GS} > 0$ mais $V_{GS} < V_{th}$, ou V_{th} est la tension de seuil du transistor, les porteurs majoritaires (ici les trous)

désertent le volume sous la grille. Une zone de charge d'espace ZCE est donc créée sous l'oxyde de grille (Figure 1.1.3-a)). Pour créer un canal de conduction, la tension V_{GS} doit être supérieure à V_{th} . Dans cette condition, une couche nanométrique dite d'inversion est formée à l'interface de l'oxyde de grille. Cette couche est remplie d'électrons provenant des caissons source et drain. Une fois le canal créé, il suffit donc d'imposer un champ électrique entre le drain et la source (en appliquant une tension $V_{DS} > 0$) pour que les électrons puissent cheminer entre la source et le drain.

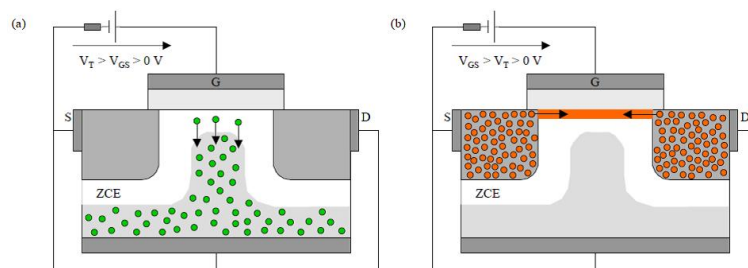


FIGURE 1.1.3 – Etapes de création du canal dans un N-MOSFET. (a) Désertion en trous sous la grille. (b) Formation du canal conducteur d'électrons [Arnaud Bournel 04].

1.1.2 Aléas de la miniaturisation

Si la réduction des dimensions du MOSFET est nécessaire pour augmenter la densité d'intégration et aussi la fréquence de fonctionnement, elle provoque aussi une réduction de la tension du transistor. Cette réduction étant généralement nécessaire pour améliorer l'aspect énergétique du transistor. Par contre, la réduction des dimensions physiques du transistor s'accompagne de contraintes importantes. Les problèmes liés à la miniaturisation du MOSFET les plus prépondérants sont abordés dans cette partie : l'effet de canal court, effet de porteur chaud et la fiabilité du diélectrique de grille.

1.1.2.1 Effet de canal court

L'effet de canal court est un effet électrostatique parasite qui corrompt le contrôle du transistor par la grille. La réduction de la longueur physique de la grille est à l'origine de cet effet. Le rapprochement du drain de la source produit aussi le rapprochement de leurs ZCE respectives. La ZCE du drain tend à augmenter pour un V_{DS} appliqué. Il est possible, pour une longueur L_G faible que les ZCE drain et source se touchent pour un certain V_{DS} . Un courant de fuite non contrôlé par la grille, entre le drain et la source, est créé : les porteurs de la source peuvent diffuser vers le substrat pour ultérieurement dériver vers le drain. Ce phénomène est appelé : percement en volume [Arnaud Bournel 04][Khanna 04].

Un autre effet de canal court, dit percement en surface, est aussi relié à un L_G faible. Un abaissement de la barrière de potentiel en entrée du canal provoquant une perturbation du contrôle des charges fixes dans la ZCE sous l'oxyde de grille

[Arnaud Bournel 04] [Khanna 04]. Ceci provoque aussi une diminution de la tension de seuil apparente.

1.1.2.2 Effet de porteur chaud

La réduction de la longueur du canal du transistor MOS n'entraîne pas une réduction proportionnelle de la tension d'alimentation. Il en résulte une augmentation du champ électrique le long de canal du transistor. Les porteurs en accélération le long du canal peuvent acquérir assez d'énergie cinétique pour causer un impact générant des paires électron-trou dans le silicium pouvant surmonter la barrière de potentiel de l'interface oxyde-silicium. L'injection des porteurs chauds peut induire une dégradation du transistor, tel un décalage de la tension de seuil et une réduction du courant de drain. Ce phénomène réduit fortement la durée de vie du transistor [Khanna 04] [Nishi 00][Hori 97].

1.1.2.3 Fiabilité des oxydes de grille

Le SiO_2 thermique a toujours constitué le diélectrique de grille suprême depuis l'invention du MOSFET. La miniaturisation de la longueur de grille conduit obligatoirement à une réduction de l'épaisseur du SiO_2 en tant qu'oxyde de grille du MOSFET. Malheureusement, le SiO_2 , avec des épaisseurs plus faibles que 3nm, n'est pas un isolant assez performant. Entre autres, la conduction par effet tunnel direct augmente exponentiellement en réduisant l'épaisseur de l'oxyde. Le courant canal-grille induit par ce phénomène est responsable d'une augmentation importante de la consommation globale du transistor, mais aussi de la dégradation de ses propriétés. Le challenge réside dans la réduction des courants de fuite par la grille, pour une certaine capacité, sans détériorer la mobilité dans le canal. L'intégration des oxydes High-K (ayant une plus forte constante diélectrique que le SiO_2 , qui est de 3.9) permet de garder une épaisseur importante du diélectrique de grille sans affecter la capacité du MOS [Khanna 04][Gehring 03].

1.1.3 Tendances de la miniaturisation

La miniaturisation a freiné par rapport aux prédictions de Moore à cause des limites technologiques; le développement de la lithographie et de la gravure à ce niveau de miniaturisation est dans les limites physiques possibles. Néanmoins, cette miniaturisation entraîne des problèmes majeurs dans le fonctionnement du transistor, les effets de fuite par la grille et les effets de canal court devenant problématiques. De plus, la conduction dans un FET à ce niveau de miniaturisation ne présente plus un comportement semi-classique, mais un comportement quantique. Ceci introduit un nouveau challenge à l'industrie de la microélectronique.

La Figure 1.1.4, quant à elle, illustre les tendances de développement de l'industrie de la microélectronique [Roadmap 09]. Deux tendances majeures sont illustrées. La première « More Moore » s'inscrit dans la miniaturisation du dispositif. Elle est liée à la performance du circuit, sa rapidité et sa consommation. L'introduction de nouveaux matériaux (High-K pour la grille par exemple) est l'une des orientations de

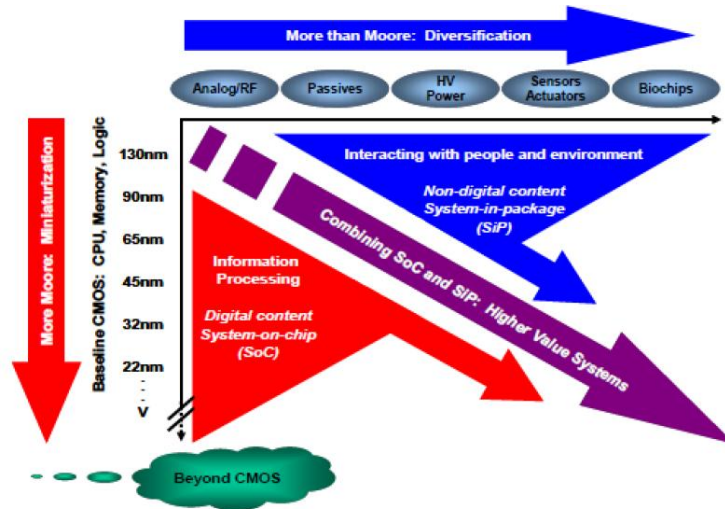


FIGURE 1.1.4 – Tendances de la recherche ITRS : More Moore et More than Moore [Roadmap 09]

cette tendance. Mais comme il a été dit précédemment, la miniaturisation rencontre plusieurs limites d'ordre physique et technologique.

La deuxième tendance quant à elle, concerne le gain en fonctionnalités des circuits. Ces fonctions ayant pour but une interaction plus efficace avec l'utilisateur et l'environnement. Elles concernent principalement les fonctions analogiques telles que les capteurs, les systèmes radiofréquences, l'électronique de puissance, mais aussi le multiphysique : l'optoélectronique, la microfluidique, lab-on-chip etc. Cette orientation étant différente, elle est liée au développement de la première, mais fait en sorte que les performances soient efficacement utilisées dans un large domaine d'applications.

La troisième orientation consiste à remplacer ou associer le MOS par plusieurs dispositifs émergents : TFET (Tunnel Field Effect Transistor), mémoire résistive, SET (Transistor à un électron), etc. En parallèle à ces orientations majeures, le développement de la combinaison entre l'amélioration de la densité, de la performance du dispositif et la fonctionnalisation de ces circuits prend un sens important. En outre leurs propriétés intéressantes, certains composants émergents offrent la possibilité d'une intégration dans la 3e dimension. Dans le cadre de cette intégration, le transistor à un électron SET métallique (Single Electron Transistor) prend tout son sens.

Les propriétés du SET sont nombreuses et intéressantes. Tout d'abord, le SET grâce à son fonctionnement (passage discret des électrons) est un composant à très basse consommation. En outre la technologie de fabrication du SET métallique fait de lui un candidat idéal pour l'intégration 3D sur une technologie CMOS [Dubuc 07]. La miniaturisation est un atout pour le bon fonctionnement du SET. De plus, les SET métalliques sont compatibles pour une intégration 3D dans l'un des niveaux métalliques d'un procédé CMOS. Cette intégration permettra une densification des fonctions logiques et une fonctionnalisation des niveaux métalliques. Dans ce cas de figure, les deux technologies profiteront de leurs avantages respectifs. Le SET ayant un faible courant et un faible gain, pourra s'associer au CMOS pour constituer une unité à haute densité, faible consommation, et qui a suffisamment de gain pour

réaliser des fonctions logiques performantes.

1.1.4 Les mutations du MOSFET

1.1.4.1 Silicon-On-Insulator (SOI)

La technologie Silicon-On-Insulator (SOI) permet de prévenir certaines limitations du transistor MOS. Dans un MOSFET de type SOI, une couche semi-conductrice est réalisée sur une couche diélectrique appelée oxyde enterré (Buried Oxide BOX). La Figure 1.1.5 schématise la structure d'un MOSFET FDSOI. Cette technologie offre de nouvelles possibilités en termes de matériaux, mais aussi d'architectures [ERNST 01]. Elle a été développée par le CEA-LETI, STMicroelectronics et IBM, et adresse les applications numériques basse consommation et haute performance.

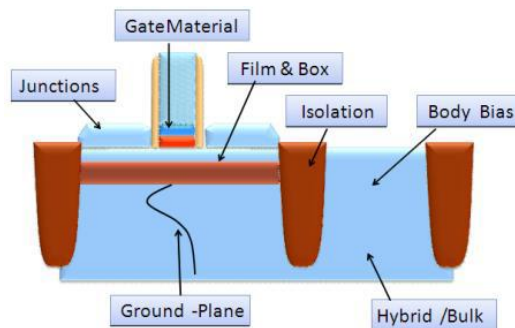


FIGURE 1.1.5 – Schéma d'une structure MOSFET FDSOI de STMicroelectronics [Cesana 12].

Parmi les avantages du FDSOI : un meilleur comportement pour des tensions de fonctionnement basses, ce qui améliore la consommation du transistor ; une isolation excellente de canal supprimant complètement l'effet de canal court dans le transistor et une partie des capacités parasites d'un transistor classique ; un meilleur contrôle électrostatique du canal par la grille, etc. Cette technologie, comme il est présenté dans la Figure 1.1.5, a l'avantage de pouvoir facilement utiliser la grille arrière comme seconde grille de contrôle, ceci étant intéressant pour un fonctionnement de type transistor (ajustement des performances : consommation, vitesse), mais aussi pour les architectures SRAM ou capteur.

1.1.4.2 Transistor multi-grilles MGFET

Un MOSFET qui intègre plusieurs grilles entre dans la catégorie des Multi-Grilles FET MG-FET. Différentes architectures peuvent être utilisées dans le cadre d'un MG-FET. Dans la Figure 1.1.6, les différentes architectures sont illustrées. En effet, le FDSOI permettant l'utilisation de la grille arrière est considéré comme un MG-FET. Les transistors de type FinFET, sur substrat massif où SOI est aussi une architecture de MG-FET [Huang 99]. Ces derniers peuvent être fabriqués en double ou en triple grille. Le transistor à nanofil peut être considéré comme un transistor à grille enrobante (Gate All Around) [Huguenin 10, Coquand 12].

Le contrôle électrostatique du canal par plusieurs grilles est meilleur en comparaison à des dispositifs classiques. Ceci permet aussi de placer le canal hors de l'interface semiconducteur-isolant, ce qui améliore la mobilité des porteurs, mais aussi les effets canal court.

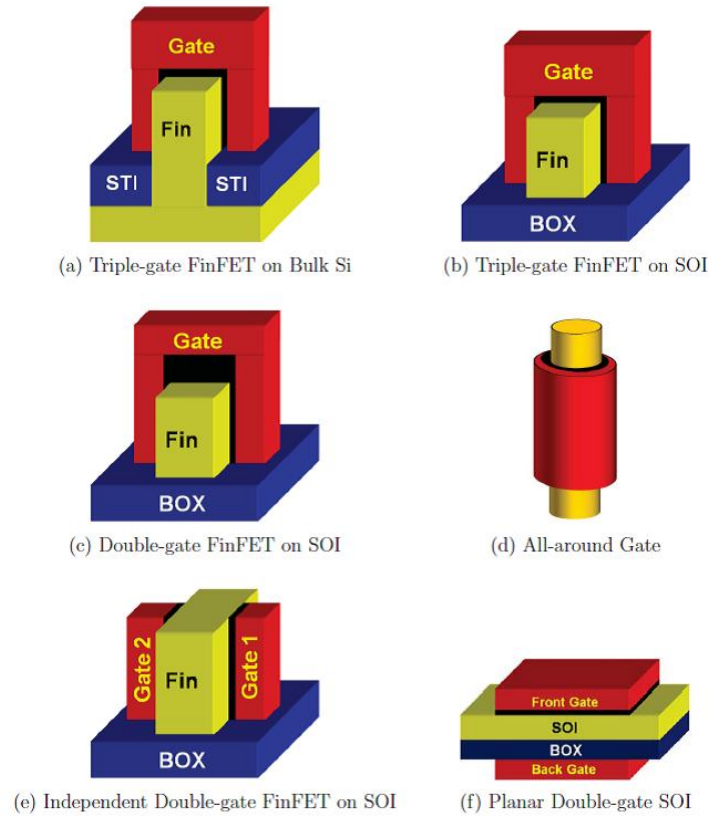


FIGURE 1.1.6 – Différentes architectures de structures FET multigrilles [Lu 11].

1.1.5 Composant émergent

1.1.5.1 Électronique de spin

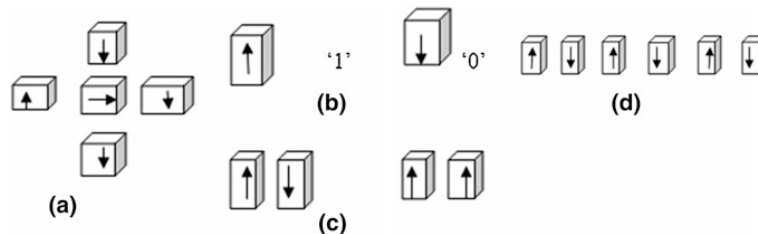


FIGURE 1.1.7 – Circuit MQCA : a) Porte Majorité. b) Logique '1' et '0' pour un nanoaimant. c) État à la masse, métastable. d) Fil MQCA [Pradhan 13].

Le développement de l'électronique du spin est directement lié à l'avancée en matière de compréhension de la mécanique quantique. La spintronique résulte des propriétés quantiques des électrons (et les autres fermions). Ces particules ont l'habilité d'exhiber naturellement un des deux états de spin connu par « spin-up » et « spin-down ». Si les composants électroniques classiques se limitaient à mesurer la charge des électrons, un transistor à spin va prendre en compte la charge, mais aussi le spin de ses charges.

Les propriétés du spin peuvent être utilisées dans le développement des mémoires non volatiles. La STT-RAM (Spin-Transfer-Torque magnetic RAM) est une technologie de mémoire non volatile ayant le potentiel pour remplacer la DRAM. L'information dans la STT-RAM est stockée dans l'état magnétique du nanoaimant du dispositif. L'information est tout de même écrite électriquement. Cette combinaison implique un accès rapide pour un stockage non volatile et peu coûteux en énergie [Huai 08].

Le couplage entre plusieurs états du spin des électrons peut aussi être exploité afin d'implémenter des portes logiques et des automates cellulaires quantiques [Pradhan 13]. Dans la Figure 1.1.7, plusieurs fonctions logiques sont implémentées en utilisant des nanoaimants ou des QCA (Automates Quantiques Cellulaires) Magnétiques (MQCA).

1.1.5.2 Transistor à effet tunnel

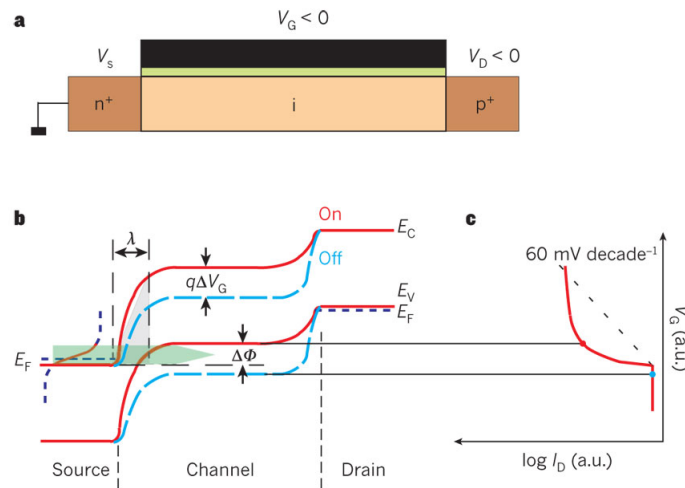


FIGURE 1.1.8 – a) Schéma d'un TFET de type P. b) Schéma représentant les bandes d'énergie du TFET dans un état OFF (bleu) et ON (rouge). c) Swing sous le seuil inférieur à 60mV/décade [Ionescu 11].

Structurellement, le transistor à effet tunnel (TFET) partage plusieurs points communs avec le MOSFET. La partie a) de la Figure 1.1.8 représente le schéma d'un TFET de type P (P étant le dopage du canal). Le diagramme de bandes d'énergie du TFET de type P est tracé dans la partie c) de la même figure. Dans l'état OFF (en bleu), les bandes de valence et de conduction, au niveau de la source,

s'éloignent considérablement. En appliquant un potentiel V_G au niveau de la grille et V_D au niveau du drain, les bandes d'énergie sont déformées d'une telle manière que les bandes de valence et de conduction se rapprochent du côté de la source du dispositif. Des électrons peuvent donc franchir par effet tunnel cette barrière entre les deux bandes pour ensuite être acheminés vers le drain grâce au champ électrique [Ionescu 11] .

Grâce à ces caractéristiques, le transistor TFET se comporte tel un commutateur idéal ayant un faible courant I_{OFF} , une pente sous le seuil inférieure à 60mV/décade ce qui est meilleur que le MOSFET. Il est cependant important d'améliorer le courant I_{ON} du TFET pour l'intégrer dans les circuits électroniques [Ionescu 11] .

1.2 Le transistor à un électron

Cette section est organisée en deux parties. Tout en se basant sur la littérature, la première partie présente le fonctionnement théorique du SET. La deuxième partie, vise à faire une description exhaustive des différentes techniques de fabrication des SET en analysant les différentes étapes de fabrication et leurs intérêts pour ce projet.

1.2.1 Théorie et fonctionnement du SET

1.2.1.1 Effet tunnel

Contrairement aux prédictions de la physique classique, la physique quantique prévoit la possibilité qu'un électron puisse traverser une barrière de potentiel en perdant une partie de son énergie. En d'autres termes, la dualité onde-particule faite en sorte qu'une partie de l'onde de l'électron puisse se trouver de l'autre partie de la barrière de potentiel. Le moment et la position de la particule obéissent à l'équation de Schrödinger :

$$i\hbar\frac{\delta\Psi}{\delta t} = H\Psi \quad (1.1)$$

Ψ représente la fonction d'onde de la particule, \hbar la constante de Planck réduite, et H le Hamiltonien [Griffiths 05].

1.2.1.2 Le blocage de Coulomb

La quantification de la charge a été mise en évidence par R.A. Milikan en 1911 dans une expérience où il mesurait la vitesse de chute de gouttelettes d'huile chargées entre les électrodes d'un condensateur. Ceci a permis de remarquer que la charge variait discrètement, donc la quantification de la charge électrique [Milikan 11].

Pour illustrer le principe, nous allons prendre en compte un îlot métallique isolé dans l'espace (Figure 1.2.1). Le nombre de charges élémentaires est nécessairement un nombre entier N . Ce qui résulte à une charge de l'îlot $Q = Ne$ [Nazarov 09]. La présence de cette charge produit nécessairement un champ électrique qui accumule une énergie électrostatique [Nazarov 09]. Cette énergie électrostatique peut s'exprimer à partir de la capacité de l'îlot :

$$E = \frac{Q^2}{2C} = \frac{e^2}{2C} N^2 = E_C N^2 \quad (1.2)$$

Imaginons que nous voulions ajouter le N-ème électron à un îlot chargé avec N-1 électrons. Le coût en énergie va être le suivant :

$$E_C N^2 - E_C (N-1)^2 = E_C (2N-1) \quad (1.3)$$

Nous pouvons en conclure que le rajout d'un électron unique dans un îlot neutre nécessite une énergie égale à :

$$E_C = \frac{e^2}{2C} \quad (1.2)$$

En effet il faut remarquer que l'énergie de charge est relative à $1/C$. En d'autres termes, plus la surface de l'îlot est petite plus la capacité est petite et plus l'énergie de charge E_c est grande.

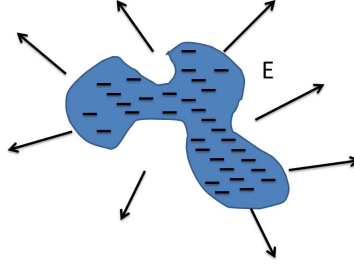


FIGURE 1.2.1 – Illustration de l'énergie de charge d'un îlot dans le vide

1.2.1.3 La boîte à électrons

En ajoutant à l'îlot décrit dans la Figure 1.2.1, une grille et une électrode source séparée de l'îlot par une jonction tunnel ; nous obtenons le dispositif décrit dans la Figure 1.2.2. Ce dernier consiste en un réservoir d'électrons entre la source et une grille de contrôle. Les électrons du réservoir ne peuvent être transférés à l'îlot que par effet tunnel de la source à l'îlot en passant par la jonction tunnel.

La Figure 1.2.3 représente le circuit équivalent de la boîte à électrons représentée dans la Figure 1.2.2. Dans ce circuit, V_G est la tension appliquée à la grille, C_S et C_G représentent les capacités de source et de grille, V_1 et V_2 sont les potentiels dans chacune des capacités, q_0 est la charge initiale dans l'îlot et q_1 et q_2 les charges dans les capacités source et grille (C_S et C_G).

Dans le système décrit ici nous allons supposer qu'un électron ne peut être transmis à l'îlot que par effet tunnel de la source. Dans ce système, nous allons donc utiliser les lois de la thermodynamique pour évoquer les conditions nécessaires pour qu'un électron passe par effet tunnel de la source à l'îlot. Nous commençons par définir une énergie totale E_{TOT} qui n'est que :

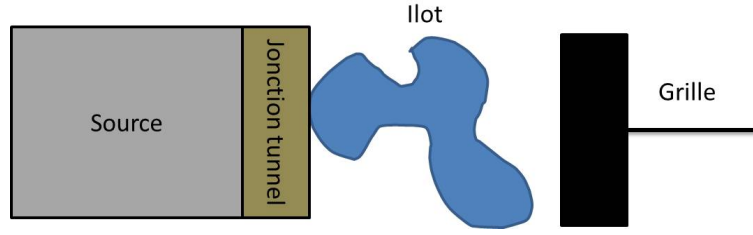


FIGURE 1.2.2 – Schéma d'une boîte à électrons

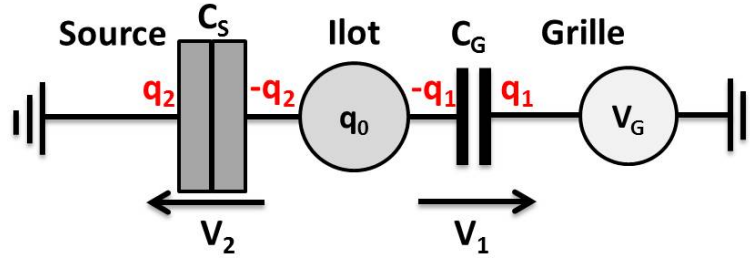


FIGURE 1.2.3 – Circuit équivalent d'une boîte à électrons représentée sur la Figure 1.2.2

$$E_{TOT} = U + E_C + E_P \quad (1.1)$$

Ici E_C est l'énergie cinétique macroscopique du système, E_P est l'énergie potentielle macroscopique et U est la somme des énergies cinétique et potentielle microscopiques du système. La seule variation de cette dernière peut faire varier l'énergie totale du système [Averin 86, Tucker 92, Likharev 09]. Le changement dans l'énergie totale n'est donc que :

$$\Delta E_{TOT} = \Delta U \quad (1.2)$$

Pour la suite nous supposons que le changement lié à un événement tunnel altère seulement l'énergie potentielle et donc que :

$$\Delta U = \Delta E_P \quad (1.3)$$

Dans le cas d'une boîte à électrons, E_P est la somme des énergies potentielles de la capacité de la grille et de la jonction tunnel du côté de la source :

$$E_P = (q_1^2)/(2C_G) + (q_2^2)/(2C_S) = 1/2(C_G V_1^2 + C_S V_2^2) \quad (1.4)$$

En utilisant la conservation des charges dans notre système, nous pouvons écrire que la charge de l'îlot q_0 est égale à la somme des charges accumulées dans les capacités :

$$q_0 = -q_1 - q_2 = -C_G V_1 - C_S V_2 \quad (1.5)$$

Dans notre cas les potentiels V_1 et V_2 peuvent être écrits comme suit :

$$V_1 = V_G - V_0$$

$$V_2 = -V_0 \quad (1.6)$$

La charge de l'îlot est simplement :

$$q_0 = -C_G V_G + (C_S + C_G) V_0 \quad (1.7)$$

Le potentiel de l'îlot est donc :

$$V_0 = (C_G V_G + q_0) / (C_G + C_S) \quad (1.8)$$

V_1 et V_2 deviennent :

$$V_1 = (C_G V_S - q_0) / (C_G + C_S)$$

$$V_2 = -(C_G V_G + q_0) / (C_G + C_S) \quad (1.9)$$

En substituant l'équation 1.9 dans 1.4, les termes en q_0 vont s'annuler pour obtenir l'énergie potentielle E_P :

$$\begin{aligned} E_P &= (1/2(C_G + C_S)^2)(C_G[(V_G C_S)^2 - 2V_G C_S q_0 + q_0^2] + C_S[(V_G C_G)^2 + 2V_G C_G q_0 + q_0^2]) \\ &= (1/2(C_G + C_S)^2)(V_G^2 C_G C_S (C_G + C_S) + (C_G + C_S) q_0^2) = \\ &\quad (V_G^2 C_G C_S) / 2(C_G + C_S) + (q_0^2) / 2(C_G + C_S) \quad (1.10) \end{aligned}$$

Puisque le potentiel V_G en lui-même ne change pas durant un événement tunnel d'un électron, le changement de l'énergie potentielle est donc simplement lié au changement de la charge q_0 de l'îlot (i) par une valeur discrète $-e$ lors du rajout d'un électron à l'îlot et (ii) de $+e$ lors de la perte d'un électron de l'îlot (électron qui passe de l'îlot à la source), e étant la charge élémentaire. Il est possible d'écrire pour (i) que :

$$\begin{aligned} \Delta E_P^+ &= (q_0 - e)^2 / 2(C_G + C_S) - q_0^2 / 2(C_G + C_S) \\ &= (-2eq_0 + e^2) / 2(C_G + C_S) = e / (C_G + C_S) (e/2 - q_0) \end{aligned}$$

Et pour (ii) :

$$\Delta E_P^- = e / (C_G + C_S) (e/2 + q_0) \quad (1.11)$$

Dans le cas d'un îlot neutre, l'événement tunnel se produit pour une variation de l'énergie potentielle égale à :

$$\Delta E_P = e^2 / 2(C_G + C_S) \quad (1.12)$$

Il est donc juste de dire que l'évolution de la charge et de l'énergie dans l'îlot de la boîte à électrons se fait par palier. Cette évolution est illustrée dans la Figure 1.2.4 représentant des simulations de l'évolution de la charge, de l'énergie potentielle et du courant dans l'îlot du dispositif. Les pics de courant marquent l'événement tunnel d'une charge de la source à l'îlot du dispositif piloté par la grille. Ce dispositif, pourtant peu utile pour des applications en microélectronique, démontre clairement le potentiel d'exploiter le phénomène du blocage de Coulomb pour la réalisation de dispositif conduisant des charges discrètes.

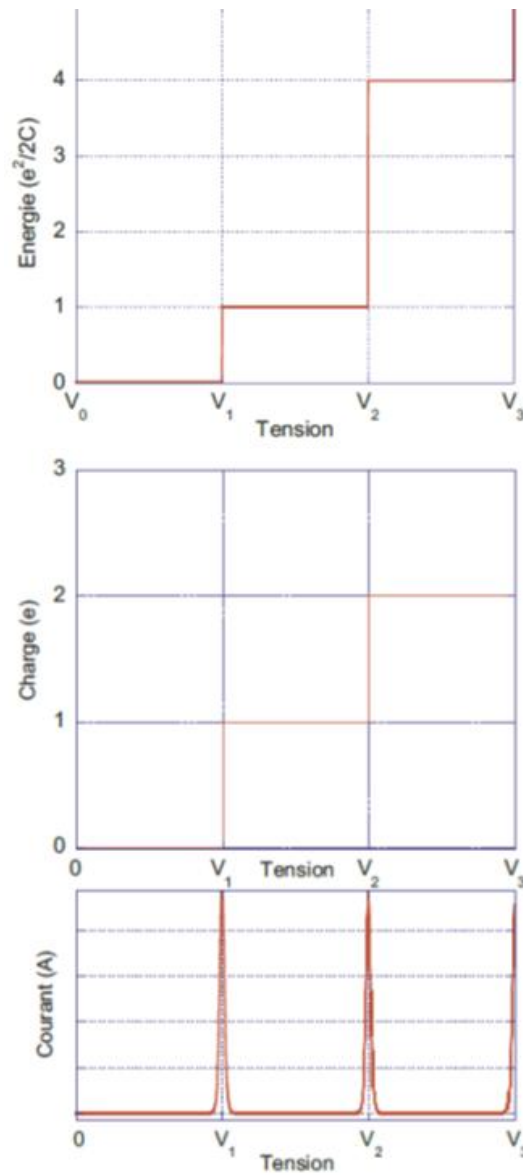


FIGURE 1.2.4 – L'évolution de l'énergie, de la charge de l'îlot et du courant d'une boîte à électrons en variant la tension V_G [Sée 03].

1.2.1.4 Fonctionnement du transistor à un électron (SET)

Nous avons rappelé le principe du blocage de Coulomb et celui du fonctionnement de la boîte à électrons. Dans cette partie, nous introduirons le transistor à un électron (Single Electron Transistor SET). Ce dernier est composé d'un nanoîlot conducteur isolé du drain et de la source par deux jonctions tunnel et contrôlé électro-statiquement par une grille (Figure 1.2.5). Grâce à cette architecture, le transistor est en mode bloqué jusqu'à une tension de seuil $V_{ds} = V_{th}$ pour laquelle l'énergie devient aussi importante que l'énergie de charge afin que le transistor se mette en mode passant, d'où la caractéristique du SET dans la Figure 1.2.6-b).

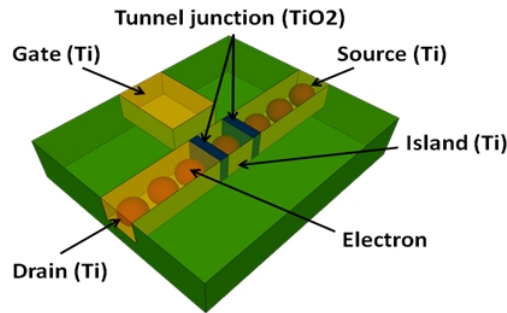


FIGURE 1.2.5 – Schéma représentatif du SET, drain, source, grille, et les jonctions tunnel en TiO_2

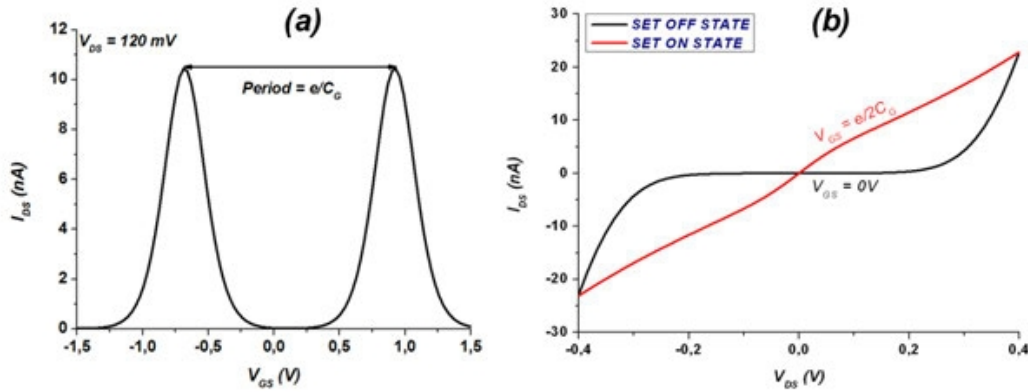


FIGURE 1.2.6 – (a) Oscillations de Coulomb du SET dans la Caractéristique $I_D - V_{GS}$ pour $V_{DS} = 120mV$, et (b) Caractéristique $I_D - V_{DS}$ illustrant l'annulation du phénomène de blocage de Coulomb. Les paramètres du SET sont : $T = 300K$, $C_{G1} = C_{G2} = 0.1aF$ et $C_S = C_D = 0.05aF$ [Bounouar 13].

Comme pour la boîte à électrons, la grille quant à elle peut servir pour directement changer le comportement du transistor du mode bloqué au mode passant. Dans la Figure 1.2.6 la caractéristique $I_D - V_{GS}$ représente les oscillations de Coulomb. Grâce au potentiel de la grille, le transistor commute d'un niveau passant

à un niveau bloqué. Dans la théorie orthodoxe, des conditions nécessaires doivent être satisfaites pour pouvoir observer un comportement SET (avec le blocage de Coulomb) [Averin 86]. Ces conditions sont :

- La résistance R des jonctions tunnel doit être supérieure à la résistance quantique : $R_Q = h/e^2 \approx 26k\Omega$ pour que l'électron puisse être localisé sur l'îlot.
- le co-tunneling est ignoré.
- La capacité totale de l'îlot, égale à la somme des capacités de l'îlot avec son environnement $C_\Sigma = C_{\text{drain}} + C_{\text{source}} + C_{\text{gate}} + C_{\text{substrate}}$, doit satisfaire $e^2/(2C_\Sigma) \gg \alpha k_B T$, k_B étant la constante de Boltzmann et T la température de l'environnement. La constante α est définie entre 5 et 10. La capacité totale de l'îlot doit donc être très faible (de l'ordre du aF) pour pouvoir satisfaire cette condition. Les paramètres qui contribuent dans la valeur de la capacité sont notamment la taille de l'îlot (de l'ordre de 3nm) et la constante diélectrique de l'oxyde de la jonction qui doit être la plus faible possible [Likharev 09].

1.2.2 Fabrication du transistor à un électron

Il a été décrit dans la section précédente que le fonctionnement du SET métallique peut être modélisé d'une manière assez simple. En effet même si le transport électronique est un phénomène quantique, le blocage de Coulomb et bien un phénomène classique et le comportement du SET peut être modélisé comme tel. Ceci dit, le problème du fonctionnement du SET à température ambiante réside plus dans la fabrication et plus encore dans la miniaturisation. Plus l'énergie de charge est élevée (ce qui nécessite une taille minimale de l'îlot) plus le fonctionnement en température élevée est possible. Pour cette raison, dans cette section, nous présenterons les différentes techniques de fabrication qui ont été reportées dans la littérature pour la fabrication du SET.

Pour pouvoir mieux comprendre et comparer les différentes méthodes de fabrication reportées ci-après, nous ferons en sorte de décrire le procédé utilisé, d'identifier les points importants et critiques du procédé et finalement de comparer le procédé avec celui utilisé à l'université de Sherbrooke pour la fabrication du SET. Cette méthode nous permettra d'identifier certains points intéressants qui nous permettront d'améliorer le procédé de fabrication actuel .

1.2.2.1 SET FinFET

S. J. Shin et al. (2011) ont rapporté la fabrication d'un SET fonctionnel à température ambiante [Shin 11, Shin 10]. Le procédé de fabrication du SET est basé sur l'état de l'art d'un transistor FinFet [Hisamoto 00]. La Figure 1.2.7 représente les étapes de fabrication du FinFet. Le composant est fabriqué sur un wafer SOI. En effet la fabrication du SET s'inspire de ce même procédé. Les premières étapes décrites dans la Figure 1.2.7 représentent : 1- Le dépôt du masque dur en Si_3N_4 et du SiO_2 , suivi de la formation du nanofil Si après la gravure. 2 – Le polysilicium dopé au phosphore et la couche de SiO_2 sont déposés. 3- Pour la fabrication de la source et du drain du SET, une étape de lithographie électronique est utilisée pour exposer une résine polyméthyl-méthacrylate. Après le développement de la résine, une gravure $SF_6/CF_4/O_2$ RIE est utilisée pour graver le drain, la source et le nanofil

de *Si* (qui représente le canal) dans la couche de *Si*. Une couche de 100nm de TEOS est déposée (en substitution à la couche de Si_3N_4 et SiO_2 dans le procédé original). Comme dans l'étape 2 du procédé FinFET, une tranchée de 80 nm est gravée dans la couche TEOS perpendiculaire au nanofil de *Si*. Ce dernier est gravé de 30nm additionnel au niveau de la tranchée, puis le nanofil de *Si* est protégé par le masque dur.

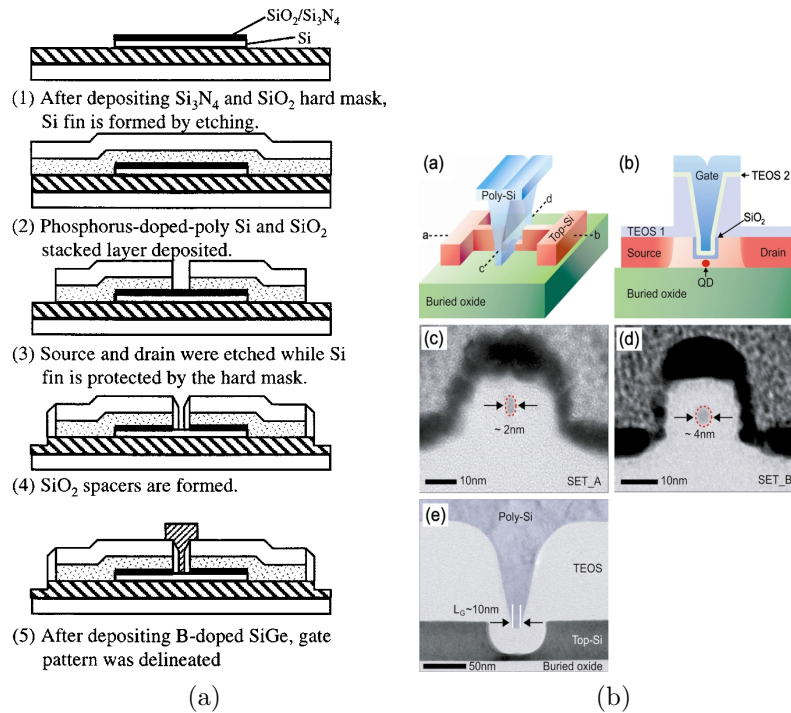


FIGURE 1.2.7 – a : Procédé de fabrication d'une FinFet [Hisamoto 00] (b) vue en coupe du canal (coupe en a-b). [(c) et (d)] Vue en coupe TEM du fil *Si* gravé (le long de la coupe c-d après oxydation à 900 °C pendant 50 et 40 min, montrant l'îlot du SET ayant une taille de 2 nm pour le SET_A et 4 nm pour le SET_B). (e) Vue en coupe TEM le long de la coupe a-b après le dépôt du *poly-Si* de la grille [Shin 10].

Pour former le point quantique (représentant l'îlot du SET), il est nécessaire de passer par une étape d'oxydation à 900°C. Après 40 à 50 min d'oxydation, le Nanofil est oxydé au niveau de la tranchée. En conséquence un point quantique est créé. Une couche additionnelle de TEOS est déposée pour former les espaceurs de la grille, et finalement une couche de polysilicium dopé est déposée pour couvrir autour du point quantique. À la fin du procédé, des îlots d'un diamètre entre 2 et 5 nm ont été fabriqués avec une grille « all around » pour contrôler le SET.

L'oxydation (le contrôle de la taille du point quantique) est l'étape la plus critique du procédé. Sur un même wafer par exemple, il est donc très difficile de fabriquer des points quantiques de mêmes dimensions. Une technique similaire a été développée et expérimentée par J. Kedzierski et al. (1997) et (1999) pour l'amincissement de fils quantiques (et pas de points quantiques) [Kedzierskia 97, Kedzierski 99]. Malgré

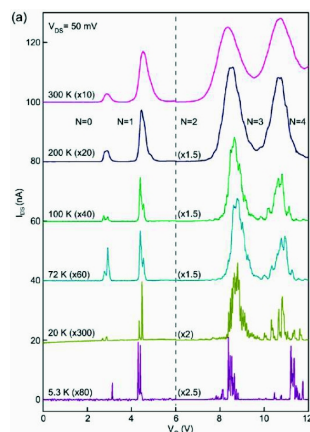


FIGURE 1.2.8 – Dépendance de la température des caractéristiques $I - V_g$ mesurées pour diverses températures de 5,3 K jusqu'à 300 K pour une tension $V_{ds} = 50 mV$. La principale caractéristique à 300 K persiste même à basse température jusqu'à 5,3 K, mais un fractionnement frappant dépendant de la température est observé dans chaque pic de Coulomb [Shin 10].

cela, ils n'arrivent pas à prouver que l'oxydation des nanofils résulte dans des points quantiques. Ces points sont effectivement prédits électro-statiquement, mais il n'y a aucune façon de prouver l'existence d'un point unique et pas d'une multitude de points quantiques.

La Figure 1.2.8 représente les mesures de courant entre le drain et la source par rapport au potentiel appliqué par la grille. Les oscillations de Coulomb sont observables même à température ambiante. L'amplitude des oscillations est par contre variable. Ceci est expliqué par les auteurs par un couplage très grand avec la grille en plus des phénomènes quantiques qui peuvent intervenir avec un nombre très bas d'électrons dans l'îlot.

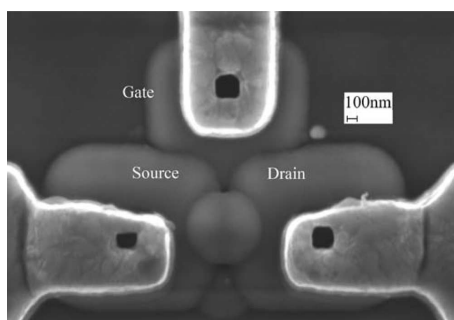


FIGURE 1.2.9 – Vue SEM de l'ensemble du dispositif. Pad source/drain en SiNW de 400 nm de longueur encapsulé par la grille de Si amorphe de 130 nm d'épaisseur.

Le procédé décrit dans Y. Sun et al (2011) ressemble en beaucoup de points à celui décrit précédemment [Sun 11a, Sun 11b]. Il est en effet basé sur la fabrication de FinFET avec un nanofil de Si très mince, et une grille « All Around ». Comme

pour le procédé précédent, le composant est fabriqué sur un wafer SOI sur lequel des films de Si sont gravés. Dans ce procédé par contre, une lithographie optique est utilisée avec un masque à phases alternées avec un scanner KrF. Un « trimming » de la résine par plasma et une gravure sèche sont employés pour définir la taille de 43nm. Encore une fois, une oxydation permet de réduire les nanofils en points quantiques de 2-4nm comme il est montré dans l'image TEM de la Figure 1.2.10.

Les premières caractérisations du dispositif ressemblent à celles d'un MOSFET, mais nous pouvons clairement remarquer les pics de courant qui peuvent représenter des oscillations de Coulomb à des températures très basses (Figure 1.2.11). Ceci veut dire que même lorsque le groupe pensait fabriquer des nanofils très minces, il avait en effet des points quantiques dans le dispositif. En poussant l'oxydation, un point quantique de 1.4nm est supposé être formé. Il est donc raisonnable d'identifier des pics importants et réguliers même à température ambiante. Ces oscillations représentent sûrement des oscillations de Coulomb (Figure 1.2.12) [Singh 06].

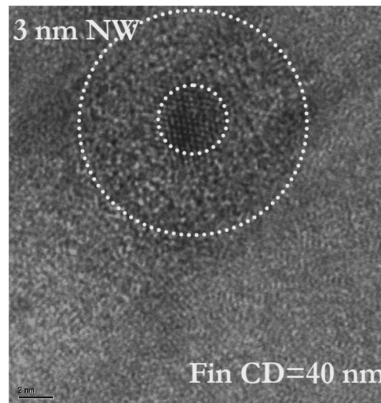


FIGURE 1.2.10 – Photo TEM du nanofil de *Si* avec un diamètre de 3 nm après oxydation thermique et le dépôt de *Si* amorphe de la grille enrobante [Sun 11a].

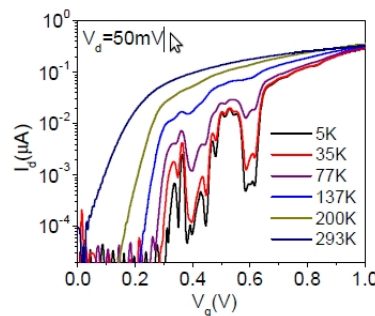


FIGURE 1.2.11 – $I_d - V_g$ en fonction de la température pour un nanofil de 6 nm de diamètre à $V_d = 0.05V$ (région linéaire) [Singh 06].

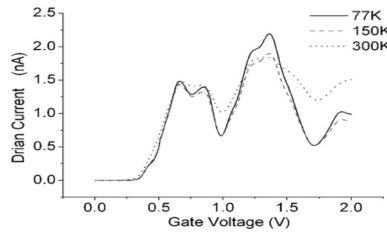


FIGURE 1.2.12 – $I_d - V_g$ en fonction de la température d'un point quantique de $1.4nm$ [Sun 11b].

1.2.2.2 Procédé « Top Gate »

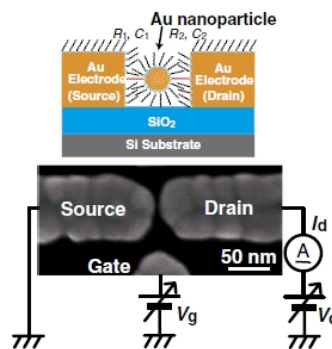


FIGURE 1.2.13 – Vue de côté schématique et image MEB de la fin du procédé « electroless plating » avec des électrodes nanogap en *Au* et représentation schématique du circuit externe pour les mesures électriques. La séparation « nanogap » entre les électrodes de source et de drain est de $5nm$ et la distance entre la grille et les électrodes de la source et du drain est de $25nm$ [Azuma 10].

Yasuo Azuma et al. (2010) et (2011) reportent la fabrication d'électrodes séparées par un nanogap de $5nm$ par « electroless gold plating » [Azuma 10, Azuma 11, Yasutake 07]. En utilisant une électro-lithographie et un procédé de soulèvement, l'équipe a fabriqué les électrodes initiales ayant un gap moyen de $33nm$ sur une couche de SiO_2 . Pour réduire le gap initial, les échantillons ont été immergés dans un bain de « electroless gold plating » pour une durée contrôlée. Ultérieurement, les échantillons ont été immergés dans une solution « c8sr ». Dans le procédé, l'équipe prédit la formation d'une monocouche de *Au* autoassemblé. L'îlot de *Au* est donc créé. Dans [Azuma 11], une grille pontée est formée par un procédé de soulèvement (Figure 1.2.14). Cette grille augmente le contrôle des oscillations de Coulomb.

Même si des oscillations de Coulomb atteignant une amplitude de plusieurs pA sont mesurées à 80K, l'îlot n'a pas pu être observé [Azuma 10, Azuma 11, Li 09]. Sa taille a été estimée entre 3,4 nm et 5,2 nm. Il est clair que le processus n'est pas compatible avec les procédés VLSI. En plus, le groupe de recherche ne peut affirmer avec certitude l'existence d'un îlot unique entre les électrodes ni la reproductibilité du processus.

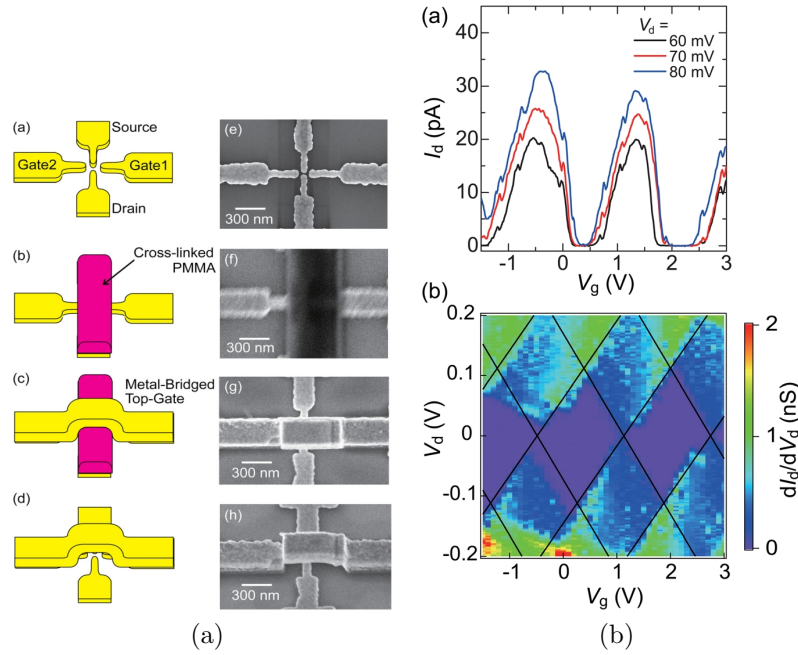


FIGURE 1.2.14 – a) Représentations schématiques et images SEM du procédé de fabrication d'un pont de l'électrode métallique supérieure. b) (a) Caractéristiques $I_d - V_g$ du transistor à un électron ayant une électrode supérieure à 9K (b) Le diagramme de stabilité du transistor à 9K [Azuma 11].

1.2.2.3 FD-SOI SET

V. Deshpande et al (2012) [Deshpande 12] a reporté la fabrication et la caractérisation de SET fonctionnant à 300K. Le procédé de fabrication du SET FD-SOI est basé sur un développement de FET FD-SOI (Figure 1.2.15 et Figure 1.2.16) démontrant le fonctionnement SET à basse température [Roche 12, Hofheinz 06, Pierre 09, Pauliac-Vaujour 11].

Dans les premiers composants fabriqués et caractérisés par cette équipe, l'îlot a été défini par une variation de dopage dans le nanofil du FET [Roche 12, Hofheinz 06]. Les composants, présentent un double comportement SET/FET qui peut être contrôlé en utilisant la grille du composant. Le composant reporté dans [Roche 12] est une amélioration par rapport à [Hofheinz 06]. Pour ce dernier composant, une grille est utilisée pour contrôler la formation du point quantique (PQ) dans un nanofil (le canal). Ce SET ne pouvait avoir un fonctionnement SET qu'à très basse température (10K) même en plus d'un fonctionnement FET à 300K.

Le procédé de fabrication est basé sur un état de l'art N-MOSFET FD-SOI. Comme première étape, la couche SOI est gravée à partir de la base de la grille. La couche Si est oxydée pour avoir une couche d'oxyde de 5nm. Suite à cela une couche

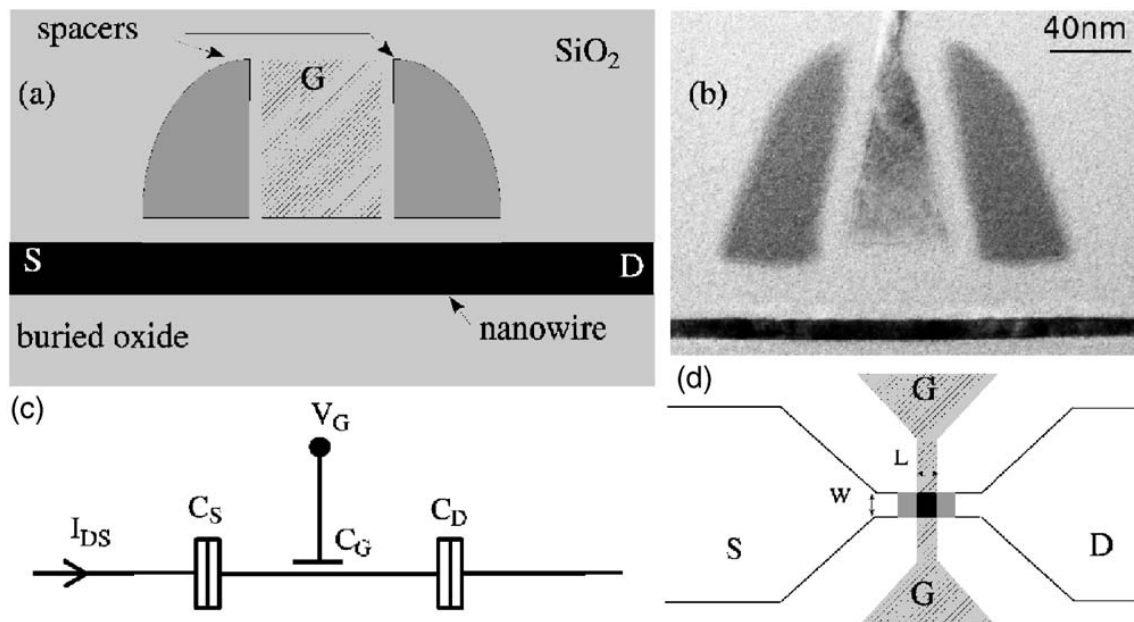


FIGURE 1.2.15 – a) Schéma et b) image TEM de la section du transistor selon l'axe drain source avec une grille G, source S, et drain D. c) Circuit électrostatique équivalent. d) Vue de dessus du dispositif [Deshpande 12].



FIGURE 1.2.16 – Organigramme du procédé utilisé pour le tri-gate NW-MOSFETs sur SOI [Deshpande 12].

de PolySi est déposée pour former la base conventionnelle de la grille. Plus tard, les espaceurs en nitrure de silicium sont formés, suivis de la croissance épitaxiale de la source et du drain. Une implantation ionique d'arsenic est réalisée pour le dopage des contacts ($10^{20}/\text{cm}^3$). La seule différence qui existe entre [Roche 12] et [Hofheinz 06] réside dans la formation du nanofil. Le premier est fait par gravure et le deuxième utilise un contrôle par la grille pour former un point quantique dans le nanofil.

Le même procédé reporté dans [Roche 12] a donc été légèrement modifié dans [Deshpande 12]. Une gravure active a été utilisée pour réduire la taille du nanofil à 5nm, suivie du dépôt d'un empilement de grille de HfSiON/ALD TiN. Le reste du procédé est détaillé dans la Figure 1.2.16.

Concernant les résultats électriques, même si [Roche 12] et [Hofheinz 06] présentent des caractéristiques de SET intéressantes, nous pouvons nous contenter des résultats de [Deshpande 12] qui représentent la suite logique du développement des deux composants qui le précèdent.

La Figure 1.2.17 rapporte une comparaison de deux composants fabriqués de la même manière, mais qui présentent un comportement FET pour le premier et un comportement SET pour le deuxième. Ce comportement est expliqué dans les diagrammes de bandes. Nous pouvons voir que pendant que la barrière de potentiel est courbée dans la direction du champ électrique pour provoquer la dérive des porteurs entre source et drain, cette barrière dans le deuxième composant forme un îlot ou les potentiels les plus hauts (sous les espaceurs) forment les jonctions tunnel du SET. Le comportement électrique qui en résulte est une caractéristique FET classique pour le premier et des oscillations dans la conductance différentielle pour le deuxième. En effet les auteurs expliquent la présence de l'îlot par le désordre créé par les dopants, les mesures électriques confirment une taille d'îlot de l'ordre du 5nm, suffisamment petite pour avoir une énergie de charge suffisante pour le fonctionnement du SET.

1.2.2.4 SET métallique

Dans cet article, Yen-Chun Lee et al. (2011) reporte la fabrication de SET sur des wafers SOI [Lee 11]. Comme il est décrit dans la Figure 1.2.18, la couche Si gravée forme les électrodes Drain, Source et Grille. Le matériau de l'îlot (*Poly-Si* dopé [Joshi 09] ou métal comme Al [Lee 11] ou *a-Si* dopé [Lee 10]) est ultérieurement déposé comme une « blanket » après un dépôt ALD ou une oxydation pour former les jonctions tunnel nécessaires au fonctionnement du SET.

Dans la Figure 1.2.19, des pics très clairs de la conductance pilotés par la tension appliquée à la grille peuvent être remarqués. L'ordre de grandeur du courant entre les électrodes n'est par contre pas mentionné. En considérant le 2e pic à $V_g = -1V$ par exemple, le courant calculé est de l'ordre de $10^{-16}A$. Cette valeur de courant est donc extrêmement faible pour la plupart des applications et surtout pour des circuits hybrides SET-CMOS. Ce niveau de courant très faible est probablement dû à l'utilisation du SiO_2 comme couche pour la jonction tunnel. Le SiO_2 ayant

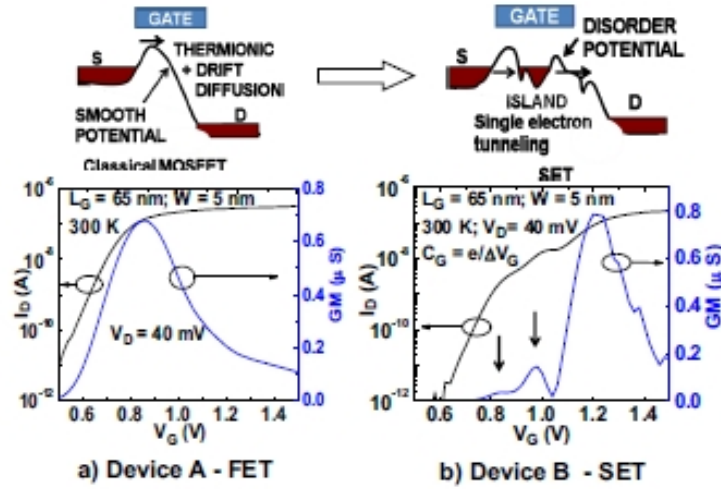


FIGURE 1.2.17 – $I_D - V_G$ et transconductance $G_M - V_G$ pour deux NMOS (dispositif A et B) avec les mêmes dimensions. La transition du MOSFET au SET est observée en raison des variations dans le canal de potentiel (schéma ci-dessus) (a) le dispositif A fonctionne comme un MOSFET classique. (b) Oscillations observées dans I_D et G_M du dispositif B. Des pics marqués par des flèches (séparation = 160 mV). Le dispositif B se comporte comme un SET [Deshpande 12].

une hauteur de barrière assez haute (aux alentours de $3eV$), le courant tunnel est forcément très bas.

Une grande ressemblance existe entre le procédé décrit précédemment et le procédé proposé par Dubuc et al. (2008) dit « procédé NanoDamascène » qui permet de fabriquer des SET métalliques pouvant opérer jusqu'à $433K$ [Dubuc 07, Dubuc 08b]. Comme dans le procédé précédant, les éléments clés sont la lithographie électronique et la planarisation grâce au polissage chimique-mécanique (CMP). La Figure 1.2.20 décrit le procédé de fabrication. Dans un premier temps, une gravure humide est utilisée pour la définition d'une tranchée dans le substrat d'oxyde SiO_2 . La taille de cette tranchée est de $10nm$. Un procédé de soulèvement à l'aide d'une lithographie électronique va venir définir un îlot métallique en Ti dans la tranchée. Le fil de titane déposé est oxydé dans une purge d' O_2 pour définir les jonctions tunnel du SET, l'épaisseur des jonctions dépend de la température et du temps d'oxydation. À partir de cette étape, une blanket de Ti est déposé sur le dispositif suivi d'une étape de CMP qui ramène l'épaisseur de l'îlot et des électrodes drain source à une épaisseur minimum de $2nm$.

Si dans le procédé décrit précédemment, le substrat servait de grille pour le contrôle du SET, Arnaud Beaumont et al. (2009) ont amélioré le procédé en incluant une grille alignée à l'îlot du SET comme il est présenté dans la Figure 1.2.21 [Beaumont 09b]. Durant la première étape de lithographie, une tranchée plus large est définie perpendiculairement à la première tranchée. Le procédé qui a été amélioré par Jean-François Morissette inclut une grille autoalignée [Morissette 10]. Une zone est d'abord définie puis gravée dans la première étape de lithographie. Du-

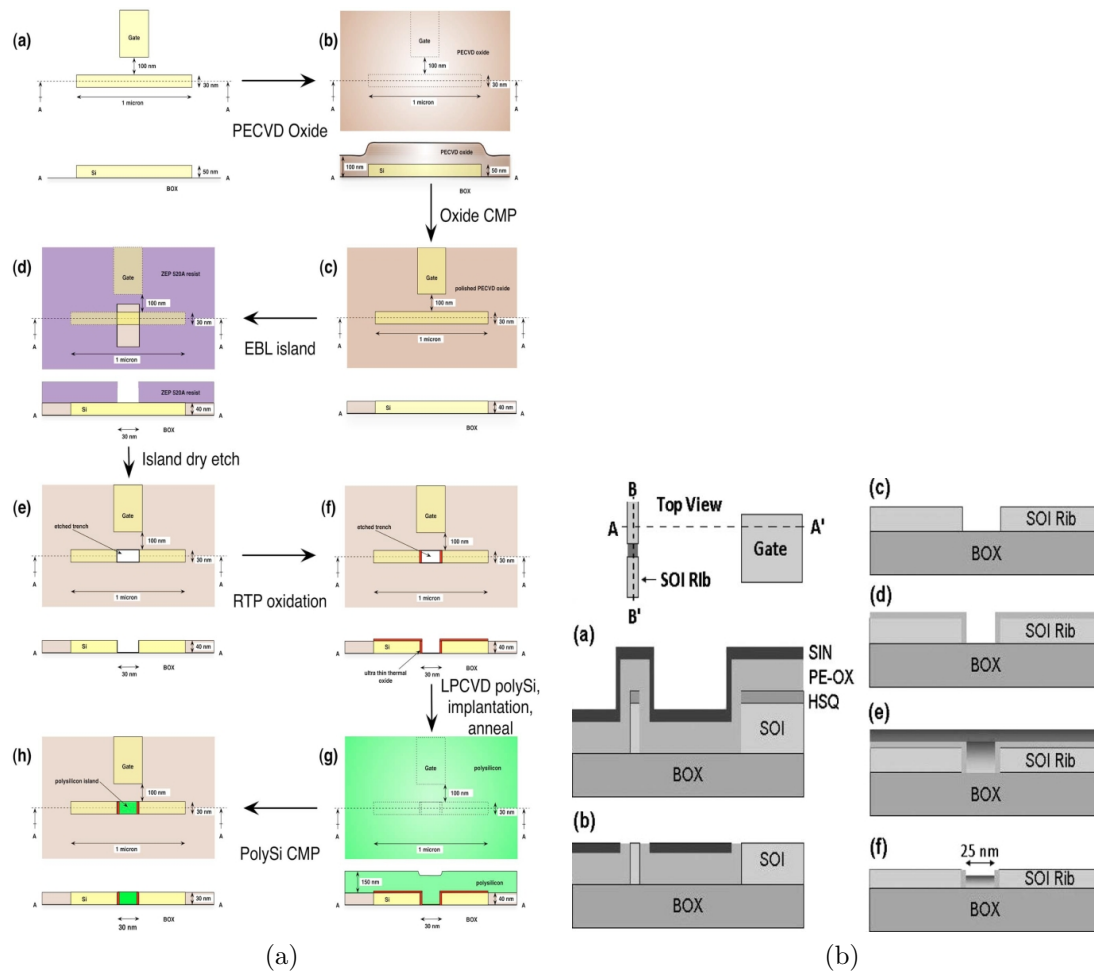


FIGURE 1.2.18 – Gauche : vue de dessus et vue de côté en coupe des étapes principales de fabrication. (a) couche de SOI gravée jusqu'au « rib » du Si et une grille adjacente. (b) dépôt conforme d'oxyde PECVD. (c) CMP de l'oxyde. (d) EBL pour former l'îlot. (e) Gravure à la cryoetch à haute sélectivité pour former une rupture dans le fil de silicium. (f) croissance de l'oxyde ultramince sur les flancs. (g) LPCVD dépôt de silicium polycristallin. (h) polysilicium CMP. [Joshi 08] Droite : Aperçu de la fabrication. Dans (a) et (b), le long de la direction de A-A', la surcouche de nitrure au-dessus de l'oxyde PECVD améliore la planarisation par la CMP, en particulier dans un espace ouvert. Dans (c), le long de la direction de B-B', la tranchée est gravée et ses parois latérales oxydées (d), elle est remplie de a-Si dopé (e), et est polie par CMP (f) pour former un îlot [Lee 10].

en

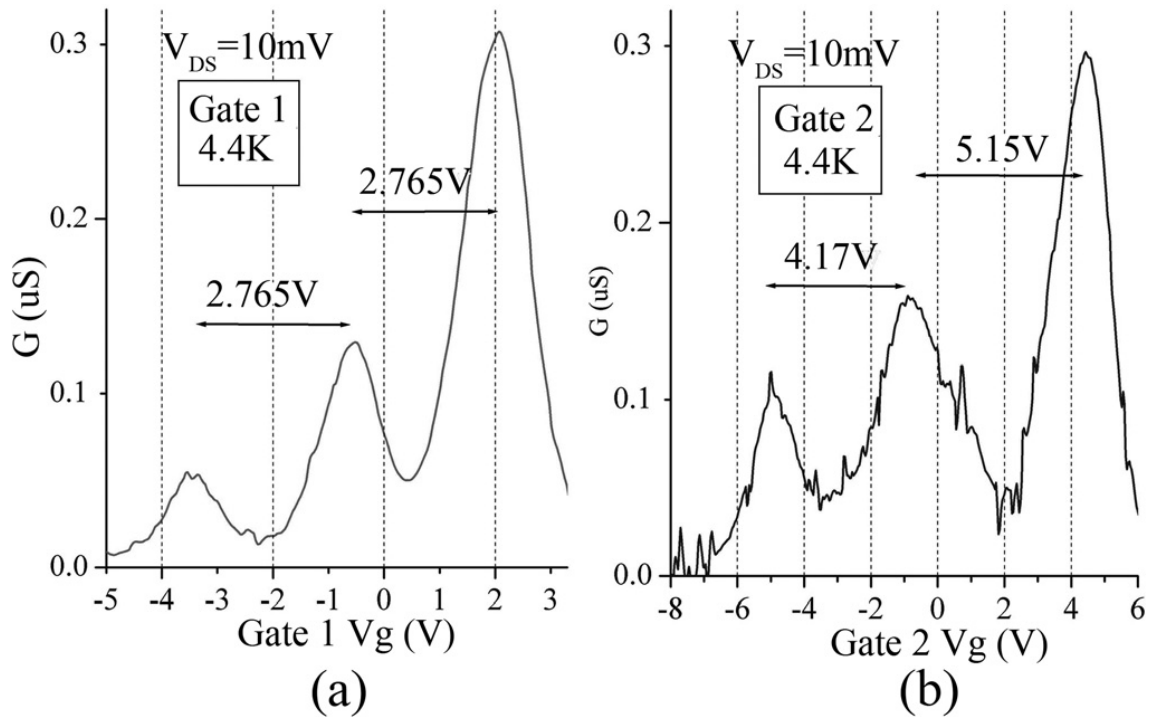


FIGURE 1.2.19 – Oscillations de la conductance en variant la tension de grille en utilisant (a) la première grille et (b) la deuxième grille. La deuxième grille a un couplage plus faible sur l'îlot et sa période d'oscillation est plus grande que celui de la première grille [Lee 11].

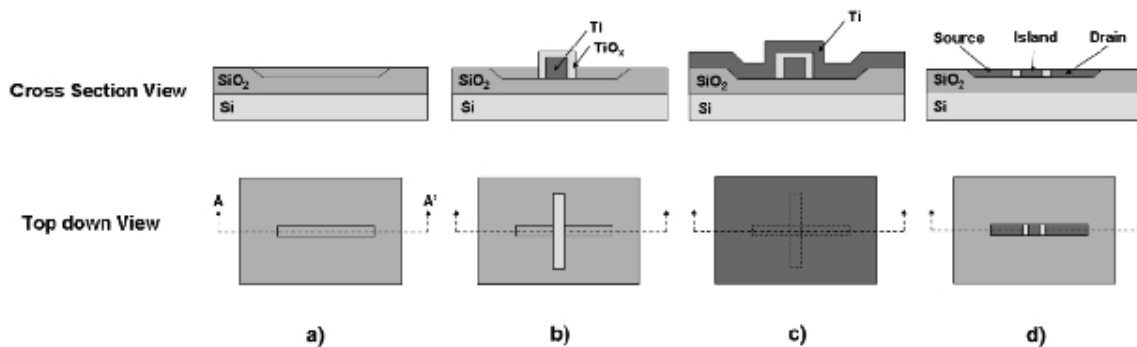


FIGURE 1.2.20 – Procédé de fabrication nanodamascène [Dubuc 07].

rant la deuxième étape de lithographie, une partie du fil de titane définit la partie autoalignée de la grille créée au final par la CMP.

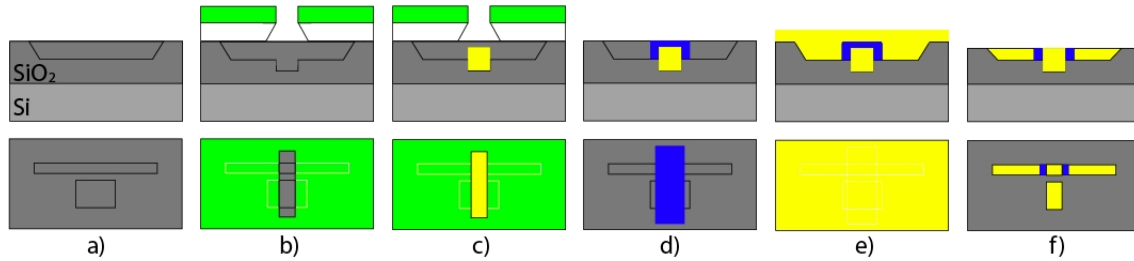


FIGURE 1.2.21 – Procédé de fabrication NanoDamascène avec grille autoalignée. En haut : vue en coupe. En bas, vue de dessus. Bleu = TiO_x ; Jaune = Ti ; Gris foncé = SiO_2 [Morissette 10].

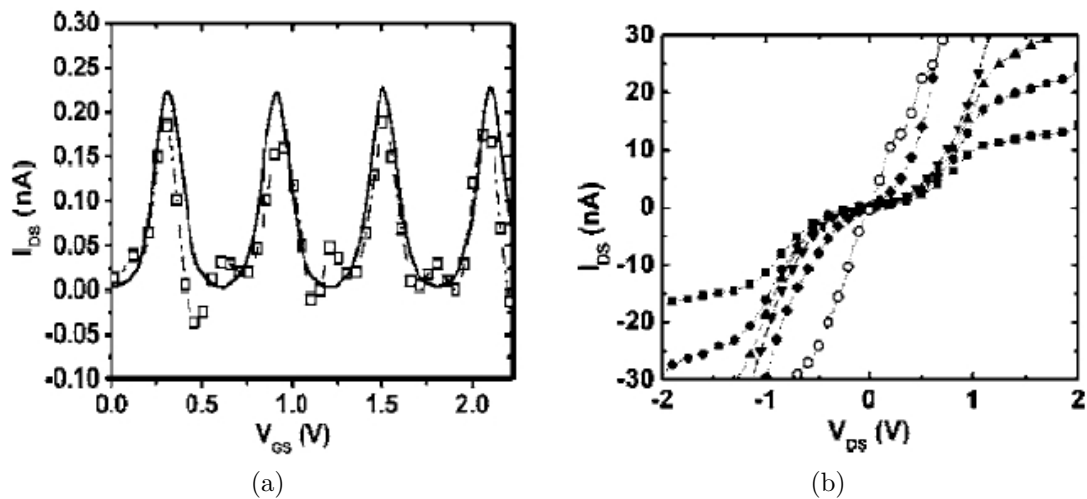


FIGURE 1.2.22 – Gauche : Courant drain en fonction de la polarisation du substrat (grille) Droite : caractéristique de SET en fonction de la température [Dubuc 07].

Les caractéristiques de courant en température et les oscillations de Coulomb reportées (Figure 1.2.22), démontrent un fonctionnement au-delà de 400K. Ce qui est une preuve de la valeur très faible des capacités du transistor SET.

1.3 Conclusion

L'industrie de la microélectronique est sur le point de franchir un nouveau cap décisif. En effet, nous sommes arrivés à un tel degré de la miniaturisation qu'un circuit comprenant plus d'un milliard de transistors peut actuellement commander un logiciel indépendamment. Cet aspect de la microélectronique permet en ce moment le développement des produits avec une approche System In Package (SiP). Dans

une autre direction d'intégration, dans le cadre d'un système embarqué de plusieurs blocs fondamentaux - tel des modules microprocesseur, mémoire, traitement numérique du signal - l'approche système sur puce (System on a chip - SoC) permet de concevoir un système complet pour réaliser une fonction précise.

Malgré ce développement fulgurant, il est prévisible que la technologie CMOS se rapproche sensiblement à un niveau de miniaturisation ne permettant pas au dispositif de fonctionner correctement. Pour cette raison, nous avons abordé dans ce chapitre les différents développements et améliorations du CMOS « classique ». Nous avons aussi introduit les composants émergents candidats, non pas à remplacer le CMOS, mais surtout compatibles pour une intégration hétérogène avec ce dernier. Le SET métallique s'inscrit donc dans le cadre de cette intégration compatible avec un procédé CMOS. Cette intégration permettra d'augmenter la densité de transistors par unité de surface tout en améliorant la fonctionnalité du composant en lui même.

La réalisation du SET étant un challenge technologique, nous avons donc analysé plusieurs procédés de fabrication du composant dans des dimensions permettant un fonctionnement à température ambiante. Si aucun de ces procédés ne permet en ce moment de fabriquer, à grande échelle, des SET fonctionnant à température ambiante, cette analyse nous permettra de constituer une boîte à outils qui nous sera utile pour résoudre des problématiques technologiques pour la fabrication des SET mais aussi des jonctions tunnel Métal-Isolant-Métal (MIM).

En effet dans le cadre de cette thèse, nous avons décidé de nous focaliser sur l'étude de la jonction tunnel du SET, ses propriétés, ses implications pour le SET et les moyens d'optimiser les jonctions tunnel pour améliorer le comportement du SET. Le chapitre suivant traite de la modélisation du courant électrique dans une MIM et des différentes approches pour l'optimiser.

Chapitre 2

Modélisation et simulation de structures Métal-Isolant-Métal : vers une jonction tunnel optimisée pour le transistor à un électron

Comme il a été abordé précédemment, la jonction tunnel constitue une des parties les plus importantes du transistor à un électron. Cette jonction tunnel doit avoir des propriétés spécifiques pour le bon fonctionnement du transistor. Pour cette raison, ce chapitre est dédié à la compréhension de la jonction tunnel et des modes de conceptions électroniques à travers un diélectrique. Plus tard dans le chapitre, nous définirons les propriétés de la jonction tunnel idéale pour l'optimisation du fonctionnement du SET et nous tenterons de proposer des solutions pour la réaliser.

2.1 Rappel sur le transport électronique dans les diélectriques

Dans cette partie nous tenterons de rappeler les différents modes de conceptions électroniques à travers un diélectrique de très faible épaisseur ($<10\text{nm}$). En effet, la structure que nous serons amenés à étudier est la structure Métal-Isolant-Métal (MIM) se comportant comme une jonction tunnel. La Figure 2.1.1 schématise le diagramme de bande d'un diélectrique sandwiché entre deux électrodes métalliques.

Il est nécessaire d'identifier les paramètres les plus critiques dans l'étude des diélectriques. Tout d'abord la hauteur de la barrière de potentiel (notée Ψ_0) est la différence entre le travail de sortie du métal et la bande de conduction du diélectrique. Cette barrière énergétique est donc effective pour l'épaisseur du diélectrique d . La permittivité relative (ou constante diélectrique) du diélectrique (notée ϵ_r) est un autre paramètre critique, car elle permet de comprendre la distribution du champ électrique dans le diélectrique étudié. La masse effective des électrons (notée m^*) dans le diélectrique influence directement la mobilité des électrons dans le diélectrique ce qui est critique pour le courant électronique à travers le ce dernier. La

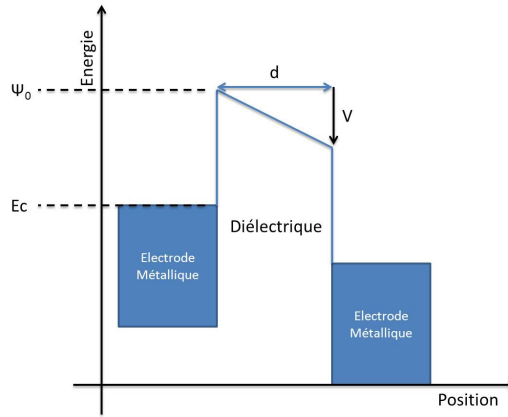


FIGURE 2.1.1 – Schéma d'une barrière de potentiel d'un diélectrique d'une épaisseur d entre deux électrodes métalliques sous un potentiel appliqué V .

hauteur de la barrière de potentiel du diélectrique, son épaisseur, sa masse effective et sa constante diélectrique sont des paramètres qui influencent considérablement le transport des électrons dans le diélectrique et qui apparaîtront dans la modélisation du transport électronique proposée dans ce chapitre.

Pour établir une formule décrivant le flux d'électrons du Métal 1 au Métal 2, il nous faudra évaluer plusieurs éléments. Le premier de ces éléments est la densité d'états qui est une grandeur liée au matériau lui-même. Le deuxième élément est la probabilité d'occupation d'un état d'énergie E dans le Métal 1 et la probabilité d'inoccupation d'un état d'énergie E dans le Métal 2. Ce deuxième élément peut être calculé directement à partir de la statistique Fermi-Dirac [Sze 86]. Le troisième élément est la probabilité de transmission d'un électron de la première électrode à la deuxième à travers la barrière de potentiel. Le dernier élément est la vitesse des électrons le long de la barrière de potentiel, qui est directement liée à la masse effective des électrons [Hesto 86].

L'expression de la densité de courant d'électrons peut être écrite comme suit [Hesto 86] :

$$J = \frac{(4\pi q m^*)}{h^3} \int_{E_{min}}^{\infty} [f_n(E) - f_n(E + V)] \left[\int_{E_{min}}^E D(Ex) dEx \right] dE \quad (2.1)$$

Dans cette formule, q est la charge élémentaire, h la constante de Planck, m^* la masse effective des électrons, f_n la fonction de Fermi et D la probabilité de transmission. La première partie de l'équation, $\frac{(4\pi q m^*)}{h^3}$ est liée à la vitesse des électrons dans la barrière de potentiel. La deuxième partie représente la fonction d'approvisionnement qui est la différence entre les statistiques Fermi Dirac ($[f_n(E) - f_n(E + V)]$) dans les deux électrodes multipliée par la densité d'états. La troisième partie de l'équation représente la probabilité de transmission de l'électron $D(Ex)$. Cette formule représente donc le flux intégral des électrons d'énergie allant de E_{min} à l'infini de la première électrode traversant la barrière de potentiel. Nous allons utiliser cette expression pour définir deux des courants les plus importants pour la modélisation des jonctions tunnel.

Tout d'abord il faut commencer par considérer la probabilité de transmission D . Dans la mécanique classique, les seules valeurs possibles pour D sont 1 et 0. Si Ψ_0

est la hauteur de barrière maximale dans la barrière de potentiel. On peut affirmer que

Si $E_x < \Psi_0$, $D = 0 \Rightarrow$ aucune conduction électronique

Si $E_x \geq \Psi_0$, $D = 1 \Rightarrow$ conduction électronique

Dans le cas de $D = 1$ l'énergie des électrons est donc supérieure à celle de la barrière de potentiel en tout point x . Les électrons passent donc au-dessus de la barrière de potentiel. Ce mode de conduction est nommé conduction par émission thermoïonique.

En physique quantique, le fait qu'une barrière de potentiel s'oppose au parcours d'un électron ne veut pas dire que la probabilité de transmission de ce dernier est nulle. En effet la fonction d'onde de l'électron à travers la barrière de potentiel diminue exponentiellement ce qui veut dire qu'une partie de l'énergie de l'électron est conservée dans la deuxième électrode. La probabilité de transmission de ce dernier est donc comprise entre 1 et 0. Dans ce cas, l'électron est dit conduit par effet tunnel. Dans ce qui suit, nous discuterons de l'effet tunnel direct à travers une barrière trapézoïdale et de la conduction Fowler-Nordheim à travers une barrière triangulaire. Nous commencerons par définir la conduction par effet tunnel direct, ses propriétés et son formalisme mathématique.

2.1.1 La conduction par effet tunnel direct

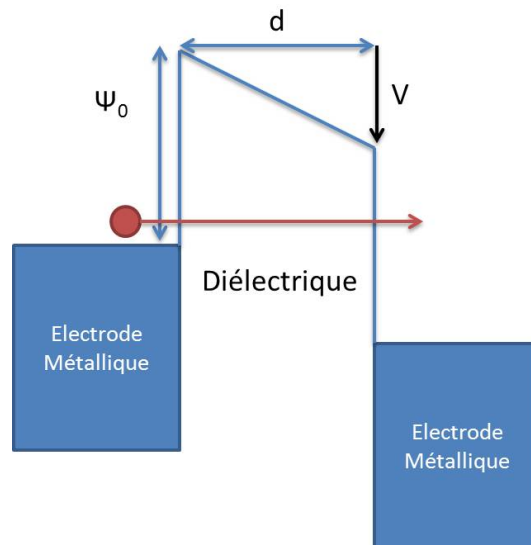


FIGURE 2.1.2 – Diagramme de bandes d'énergie représentant la conduction d'un électron par effet tunnel direct entre deux électrodes métalliques à travers un diélectrique.

2.1.1.1 Définition

Comme il a été décrit précédemment, en physique classique, une particule (un électron) qui se heurte à une barrière de potentiel se voit bloquée. Une partie de

son énergie cinétique est donc transférée à la particule dans la direction opposée. En physique quantique par contre, si l'électron a assez d'énergie, il peut traverser la barrière de potentiel en voyant son énergie décroître exponentiellement. Dans le cas décrit par la Figure 2.1.2, nous remarquons que l'électron (cercle rouge) traverse une barrière trapézoïdale ayant une hauteur de barrière initiale Ψ_0 et une épaisseur d , la barrière de potentiel est déformée par un potentiel V appliqué à l'électrode droite ce qui crée un champ électrique et entraîne donc les électrons dans le sens opposé du champ électrique. Nous remarquons bien qu'à cause du champ électrique, la barrière de potentiel est réduite tout au long de l'épaisseur du diélectrique pour présenter une valeur de $\Psi_0 - eV$ à l'interface de l'électrode droite (e représentant la charge élémentaire). Ce phénomène de conduction est appelé effet tunnel direct.

2.1.1.2 Modélisation mathématique

En pratique, le calcul du courant tunnel à travers une barrière trapézoïdale a été extrait du calcul du courant Fowler-Nordheim. Dans notre document, nous commencerons par définir le courant tunnel direct, son formalisme étant plus généralisable pour les autres modes de conduction. Nous discuterons de la conduction Fowler-Nordheim ultérieurement.

Le calcul d'un courant d'électrons à travers une barrière de potentiel nécessite de calculer la fonction d'approvisionnement en électrons à partir de la densité d'états dans l'électrode et la distribution énergétique des électrons. La probabilité de transmission d'un électron d'une électrode à une autre est aussi un élément important.

Pour modéliser le courant tunnel à travers une barrière de potentiel, plusieurs méthodes ont été étudiées et proposées. Les trois méthodes principales sont : la méthode de Bardeen qui applique la théorie des perturbations au cas particulier de l'effet tunnel, la deuxième se base sur le calcul des valeurs des résonances en énergie du coefficient de réflexion d'une onde plane incidente sur la barrière (méthode dite « matrices de transmission »), et la troisième méthode, dite « WKB » (Wentzel, Kramers et Brillouin) est basée sur le calcul de la transparence de la barrière tunnel et de la fréquence d'impact des porteurs contre cette barrière pour calculer le courant [BENABDERRAHMANE 09, Bardeen 61]. Il a été démontré par Clerc et al. (2001) que les trois méthodes donnent des valeurs très semblables [Clerc 01]. Dans ce qui suit, nous décrirons les deux méthodes implémentées dans le cadre de ce travail, la méthode utilisant les matrices de transmission et la méthode WKB.

2.1.1.3 Matrices de transmission

Le principe de cette méthode se base sur la probabilité de transmission d'un nombre de porteurs à travers la barrière de potentiel. Ce qui permet la résolution des équations Poisson-Schrödinger.

La densité de courant pour un niveau d'énergie i s'écrit donc de la manière suivante :

$$J_i = Q_i \times f_i \times T_i \quad (2.2)$$

Dans cette expression, T_i représente la transparence au niveau d'énergie i , f_i la fréquence d'impact des électrons contre la barrière et Q_i la charge disponible pour

passer par effet tunnel [BENABDERRAHMANE 09]. La transparence T_n est définie comme étant le ratio de la densité de courant quantique, due à une onde transmise dans une région n sur celle due à une onde incidente dans une région $n - 1$. Nous supposons que les ondes incidentes des régions $n > 1$ sont négligeables.

La densité totale de courant dans une jonction tunnel peut donc s'écrire

$$J_{tunnel} = \sum_{i=1}^n Q_i \times f_i \times T_i \quad (2.3)$$

Pour évaluer la transparence tunnel, dans notre cas, nous utilisons principalement deux méthodes, la méthode des matrices de transmission et la méthode dite WKB. Nous présenterons les deux méthodes.

A noter, Gundlach et al. (1966) ont développé une méthode pour calculer le courant tunnel pour une barrière trapézoïdale en connectant une fonction « Airy » qui est une solution exacte de l'équation de Schrödinger dans deux interfaces [Gundlach 66]. Ces calculs étant compliqués, le changement de la masse effective n'a jamais été pris en compte. Ando et al. (1987) ont développé une méthode se basant sur les matrices de transmission pour le calcul de la transparence tunnel à travers des coefficients de transmission et de réflexion [Ando 87]. Nous nous sommes inspirés de Govoreanu et al. (2003) pour l'implémentation de ce modèle de conduction [Govoreanu 03e].

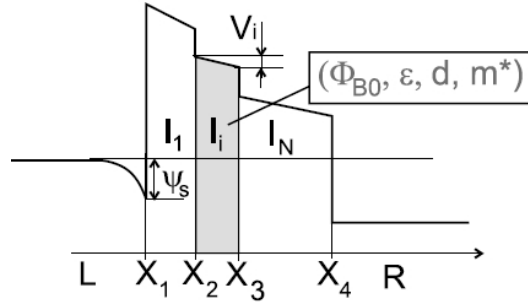


FIGURE 2.1.3 – Diagramme de bandes pour la barrière de potentiel constituée de N couches diélectriques. Chaque couche diélectrique est caractérisée par une hauteur de barrière $\Phi_{B0,i}$, une constante diélectrique ε_i , une masse effective m_i , et une épaisseur $d_i = X_{i+1} - X_i$. Avec V_d le potentiel appliqué à la jonction tunnel complète [Govoreanu 03e].

Dans la Figure 2.1.3, la barrière de potentiel a été approximée par des régions de 0 à N. Dans chaque région i , le potentiel V_i , la masse effective m_i et la permittivité ε_i sont constantes.

Nous allons, dans un premier temps, calculer la forme de notre barrière de potentiel pour chaque V_d , le potentiel appliqué à la jonction tunnel complète. Nous commençons donc par calculer le potentiel V_i appliqué sur chaque région i . Une fois l'empilement de la jonction tunnel est défini, l'algorithme 2.1 est utilisé pour calculer la forme de la barrière de potentiel subissant un potentiel V_d .

$$V_i = \frac{(d_i/\varepsilon_i)}{\sum_{j=1}^N \frac{d_j}{\varepsilon_j}} V_d \quad (2.4)$$

Algorithme 2.1 Code Matlab pour le calcul de la barrière de potentiel pour un potentiel appliqué V_d .

```

SumDoverEpsi=sum(D./Epsi);
Drop(1)=0;
Potential(1)=0;
Potential(2)=Phi(1);
for i=3:1:NumDivisions+2

    Drop(i)=[Thickness/(NumDivisions*Epsi(i-2))]*(Applied_V+WorkFunctionM1-WorkFunctionM2)*eV/(SumDoverEpsi);
    Field(i-2)=Drop(i)/(dDiv*eV);
    Potential(i)=Phi(i-2)-sum(Drop);
    sumPotential=sum(Drop);

end
Potential(NumDivisions+3)=-Applied_V*eV;

```

En prenant en compte cette hypothèse, la fonction dans la région i associée à un électron, en mouvement dans la barrière, ayant une énergie E est donnée par :

$$\psi_i = A_i e^{(-ik_i x)} + B_i e^{(-ik_i x)} \quad (2.4)$$

Où k_i est le vecteur d'onde d'expression :

$$k_i = \frac{1}{\hbar} \sqrt{2m_i^*(E - V_i)} \quad (2.5)$$

Nous pouvons écrire que : $\begin{pmatrix} A_i \\ B_i \end{pmatrix} = M_i \begin{pmatrix} A_{i-1} \\ B_{i-1} \end{pmatrix}$

ce qui implique que : $\begin{pmatrix} A_L \\ B_L \end{pmatrix} = M \begin{pmatrix} A_R \\ B_R \end{pmatrix} = \begin{pmatrix} M_{11} & M_{12} \\ M_{21} & M_{22} \end{pmatrix} \begin{pmatrix} A_R \\ B_R \end{pmatrix}$

Avec :

$$M = \prod_1^N M_i = \frac{\pi^N}{2} \begin{pmatrix} 1 & \frac{1}{ik_L} \\ 1 & -\frac{1}{ik_L} \end{pmatrix} \prod_1^N \{P_i(\alpha_i, \lambda_i, \theta_i) Q_i(\alpha_i, \lambda_i, \theta_i)\} \begin{pmatrix} 1 & 1 \\ -\frac{ik_R}{\theta_{N+1,N}} & -\frac{ik_R}{\theta_{N+1,N}} \end{pmatrix} \quad (2.6)$$

En supposant que $B_R = 0$, on peut écrire $A_L = M_{11} A_R$. L'algorithme 2.2 décrit le calcul de M_{11} dans un code Matlab.

Les matrices P et Q sont calculées grâce à l'introduction des fonctions Airy Ai et Bi pour chaque couche i [Abramowitz 64]. Les matrices P et Q peuvent être décrites comme suit :

$$P_i(\alpha_i, \lambda_i, \theta_{i,i-1}) = \begin{pmatrix} Ai(\alpha_i) & Bi(\alpha_i) \\ -\frac{1}{\theta_{i,i-1}} \lambda_i Ai'(\alpha_i) & -\frac{1}{\theta_{i,i-1}} \lambda_i Bi'(\alpha_i) \end{pmatrix} \quad (2.7)$$

$$Q_i(\alpha_i, \lambda_i, \theta_{i,i-1}) = \begin{pmatrix} Bi(\alpha_i - d_i \lambda_i) & \frac{1}{\lambda_i} Bi(\alpha_i - d_i \lambda_i) \\ -Ai'(\alpha_i - d_i \lambda_i) & -\frac{1}{\lambda_i} Ai'(\alpha_i - d_i \lambda_i) \end{pmatrix} \quad (2.8)$$

Algorithme 2.2 Code Matlab pour le calcul de la composante M_{11} de la matrice M .

```

EnergyPoints=size(Ex,1);
eV=1.602*10^-19; % electron Volt
for j=1:EnergyPoints
    matrice(:,j)=(pi^NumLayers)/2*[1,
    1/(1i*kl(j));1, -1/(1i*kl(j))];
end
W0=0;
for k=1:NumLayers
    pq=PQ(k+1,mm0,PhiStruct(k)-W0,FieldStruct(k),Ex,dS
    truct);
    for j=1:EnergyPoints
        matrice(:,j)=matrice(:,j)*pq(:,j);
    end
    W0=W0+FieldStruct(k)*dStruct*eV;
end
for j=1:EnergyPoints
    matrice(:,j)=matrice(:,j)*[1 1;
    1i*kr(j)*mm0(NumLayers+1)/mm0(NumLayers+2)
    -1i*kr(j)*mm0(NumLayers+1)/mm0(NumLayers+2)];
end
M11=Tn=permute(matrice(1,1,:),[3 2 1]);

```

avec $\theta_{i,i-1} = \frac{m_i}{m_{i-1}}$, $\alpha_i = \left(\frac{\Phi_{B0,i}-E}{eF}\right) \left(\frac{2m_i q F}{\hbar^2}\right)^{1/3}$ et $\lambda_i = \left(\frac{2m_i q F}{\hbar^2}\right)^{1/3}$. F étant le champ électrique et q la charge élémentaire.

La transparence T est donc présentée en terme des densités de courant transmis sur le courant incident.

$$T(E) = J_{transmis}/J_{incident} = ((\hbar k_R/m_R)|A_R|^2)/((\hbar k_L/m_L)|A_L|^2) = (m_L/m_R).(k_R/k_L).(1/|M_{11}|^2) \quad (2.9)$$

Le code Matlab pour le calcul de cette fonction est présenté dans l'algorithme 2.3.

Algorithme 2.3 Code Matlab pour le calcul de la probabilité de transmission d'un électron à travers une barrière de potentiel à N couches de diélectriques.

```
% Some constants
%nm=10^-9; % nanometer
eV=1.602*10^-19; % electron Volt
m0=9.10938291*10^-31;
%me=0.066*9.109*10^-31; % electron mass
hbar=(6.626*10^(-34))/(2*pi);
% Set mass vector
mm0=m0*mStruct;
% Electron wave vectors of the plane wave functions
% in the left and right electrodes
kl=sqrt(2*mm0(1)*Ex)/hbar;
kr=sqrt(2*mm0(NumLayers+2)*(Ex+Applied_V*eV))/hbar;
flux=mm0(1)/mm0(NumLayers+2)*kr./kl;
% Tunneling transmission probability
Taux=flux./abs(T11n(kl,kr,mm0,Ex,NumLayers,dStruct,Phi
Struct,FieldStruct)).^2;
```

Si la solution comporte un calcul matriciel, les valeurs de $T(E)$ sont facilement calculables à partir de la formule (2.9). En effet, il est clair par la formule que la prise en compte des régions, avec des hauteurs de barrières, des masses effectives et des permittivités différentes, est implicite dans cette méthode. Pour cette raison, le modèle développé dans notre étude, pour le calcul du courant tunnel à travers un isolant qui comporte trois couches ayant trois hauteurs de barrières, masses effectives et permittivités différentes, utilise cette méthode des matrices de transmission.

Pour calculer le courant, il suffit de compléter la formule pour obtenir une densité de courant. Nous allons définir la fonction d'approvisionnement $N(E_x)$, la différence entre les fonctions de Fermi $f(E)$, qui représente la distribution de porteurs qui peuvent traverser la barrière tunnel dans les deux sens.

$$N(E_x) = \int_0^{\infty} [f(E) - f(E + eV)] dE_x \quad (2.10)$$

En supposant un équilibre thermodynamique, à partir d'une intégration analytique de la statistique Fermi-Dirac, nous pouvons simplifier ce terme :

$$N(E_x) = k_B T \ln \left(\frac{(1 + \exp((E_{f(E)} - E_x)/(k_B T)))}{(1 + \exp((E_{f(E-eV)} - E_x)/(k_B T)))} \right) \quad (2.11)$$

A partir de là, la densité de courant est :

$$J = ((4\pi e m^*)/h^3) \int_0^{E_m} T(E_x) N(E_x) dE_x \quad (2.12)$$

Les codes Matlab dans les algorithmes 2.3 et 2.4 représentent le calcul de la fonction d'approvisionnement puis de la densité de courant à partir de la probabilité de transmission calculée ultérieurement.

Algorithme 2.4 Code Matlab pour le calcul de la densité de courant

```
%Effective masses electrodes
mSit=0.6;
mSil=0.6;
%K is Fermi Level of electrodes
Ec1=WorkFunctionM1-K;
Ec2=-Applied_V + WorkFunctionM2-K;
% supply function N(Ex)
Nex=kT*log((1+exp((Ec1*eV-Ex)/(kT)))/(1+exp((Ec2*eV-Ex)/(kT))));
dij=Taux.*Nex;
%Current Constant CC=me*sqrt(mSit*mSil)*eV/(2*(pi^2)*(hbar^3));
\
deltaE=(Ex(2)-Ex(1))/2;
% Esaki-Tsu current density formula
J=CC*2*sum(dij)*deltaE;
```

2.1.1.4 Approximation WKB (Wentzel, Kramers et Brillouin)

L'approximation WKB est une méthode semi-classique qui donne des solutions approchées de l'équation de Schrödinger. Pour la résolution de l'équation de Schrödinger, le changement de la longueur d'onde doit être plus petit que la longueur d'onde elle-même.

$$\left| \frac{d\lambda}{dx} \right| \ll 1 \quad (2.13)$$

Selon la l'approximation WKB, la densité de courant, à travers la barrière isolante dans la Figure 2.1.4, est :

$$J = \int_0^{E_m} T(E_x) dE_x \times \int_0^\infty ((4\pi m^2)/h^3) [f(E) - f(E + eV)] dE_r \quad (2.14)$$

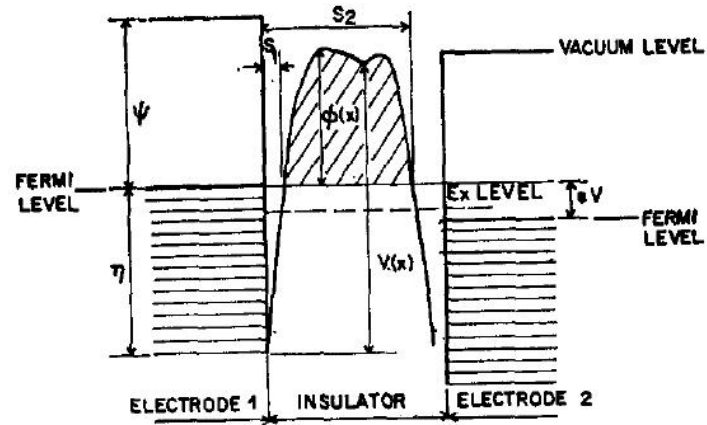


FIGURE 2.1.4 – Diagramme de bande d'une barrière d'une couche isolante entre deux électrodes conductrices [Simmons 63].

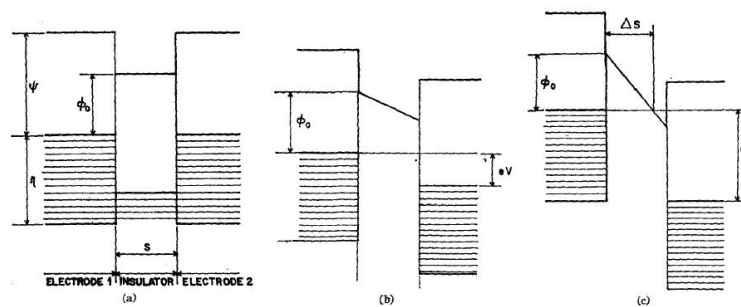


FIGURE 2.1.5 – Approximation de la barrière de potentiel rectangulaire entre deux électrodes pour : a) $V = 0$; b) $V < \varphi_0/e$; c) $V > \varphi_0/e$ [Simmons 63].

Évidemment, le temps du calcul numérique de la formule présentée précédemment est très long ; pour cette raison : des méthodes analytiques ont été développées. En général, ces formules supposent des conditions spécifiques de champ électrique pour simplifier la formule, tout en gardant une précision raisonnable.

Simmons et al. (1963), pour simplifier les équations, ont pris en compte une barrière moyenne φ le long du diélectrique. Cette hypothèse lui a permis de simplifier l'approximation WKB en trois formules principale pour différentes conditions de champs qui correspondent au potentiel appliqué (Voir Figure 2.1.5)

- Potentiel faible $V \simeq 0$: $J = [(3(2m\varphi)^{1/2}/2s)(e/h)^2 V \times \exp[-(4\pi s/h)(2m\varphi_0)^{1/2}]$
ici s est la distance entre les électrodes, et φ_0 la hauteur de barrière moyenne.
- Potentiel intermédiaire $V < \varphi_0/e$:

$$J = (e/2\pi\hbar s^2) \{ (\varphi_0 - eV/2) \exp[-(4\pi s/h)(2m)^{1/2}(\varphi_0 - eV/2)^{1/2}] - (\varphi_0 + eV/2) \exp[-(4\pi s/h)(2m)^{1/2}(\varphi_0 + eV/2)^{1/2}] \} \quad (2.15)$$

- Potentiel élevé $V > \varphi_0/e$. Avec le champ électrique $F = V/s$:

$$J = \frac{2.2e^3 F^2}{8\pi\hbar\varphi_0} \exp\left[-\frac{8\pi}{2.96\hbar e F} (2m)^{1/2} (\varphi_0)^{3/2}\right] \quad (2.16)$$

2.1.1.5 Dépendances

Le formalisme WKB du courant tunnel direct J_{TD0} par rapport au champ électrique F et à température proche du zéro absolu peut être simplifié par la formule suivante [Hesto 86] :

$$J_{TD0}(F) = [(e^2\varphi_0)/(\pi\hbar d^2)] \exp\left[-\frac{4\pi\sqrt{2em^*}}{\hbar} d\sqrt{\varphi_0}\right] \sinh\left[-\frac{4\pi\sqrt{2em^*}}{\hbar} \frac{edF}{4\sqrt{\varphi_0}}\right] \quad (2.17)$$

La différence entre le flux direct et le flux inverse est représenté par le sinus hyperbolique, la formule peut être simplifiée dans le cas où seul le flux direct est considéré [Christophe 01]. Cette conduction est donc peu dépendante de la température mais dépend fortement de l'épaisseur de l'oxyde, de sa hauteur de barrière et du champ électrique [Christophe 01].

2.1.2 La conduction de type Fowler-Nordheim

2.1.2.1 Définition

Dans un système où une barrière de potentiel est formée entre deux électrodes métalliques comme décrit dans la Figure 2.1.6, la barrière de potentiel peut être déformée pour devenir une barrière triangulaire lorsque le potentiel appliqué est plus élevé que la hauteur de barrière initiale. Dans cette configuration, le courant à travers cette barrière triangulaire est dit : courant Fowler-Nordheim. Le Diagramme de bandes d'énergie représentant la conduction d'un électron par effet Fowler-Nordheim entre deux électrodes métalliques à travers un diélectrique est présenté dans la Figure 2.1.6. Il faut aussi distinguer que la distance parcourue par l'électron à travers la barrière de potentiel est réduite en fonction du potentiel appliqué.

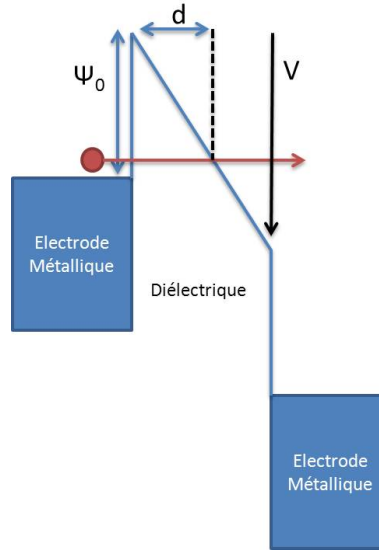


FIGURE 2.1.6 – Diagramme de bandes d'énergie représentant la conduction d'un électron par effet Fowler-Nordheim entre deux électrodes métalliques à travers un diélectrique.

2.1.2.2 Modélisation mathématique

A partir de la méthode WKB pour le calcul du courant tunnel à travers une barrière de potentiel, une simplification peut être faite pour des potentiels $V > \Psi_0$. L'épaisseur effective du diélectrique, à travers lequel l'électron est sous la bande de conduction du diélectrique, est réduite à $d = \text{Epaisseur} \cdot \Psi_0 / V$ [Hesto 86]. La formule du courant peut être simplifiée à température proche du zéro absolu et devient [SNOW 69] :

$$J_{FN0}(F, 0) = AF^2 \exp[-(B\varphi_0^{3/2})/F] \quad (2.18)$$

$$\text{avec } A = (e^3 m_{\text{metal}}^*) / (8\pi \hbar m^* \Psi_0) \text{ et } B = 8\pi \sqrt{2m^*} / 3\hbar e$$

2.1.2.3 Dépendances

La mise en facteur de la formule à basse température permet de l'écrire comme suit :

$$J_{FN0}(F, T) = (\hbar c k_B T / \sin(\hbar c k_B T)) \cdot J_{FN0}(F, 0), \quad (2.19)$$

$$\text{avec } c = 4\pi \sqrt{2m^* \varphi_0} / \hbar e F$$

Il y a donc une dépendance linéaire entre $1/F$ et $\ln(J_{FN}/F^2)$. Il est donc possible d'extraire la valeur de barrière φ_0 et la masse effective à partir de cette dépendance [Christophe 01].

2.1.3 La conduction par émission thermoïonique

2.1.3.1 Définition

Le courant thermoïonique correspond donc au courant électronique des porteurs ayant une énergie plus élevée que la barrière de potentiel, donc une probabilité de transmission de 1. Ce courant correspond aux électrons ayant assez d'énergie pour surpasser la barrière de potentiel.

2.1.3.2 Modélisation mathématique

En prenant donc $E_{min} = \Phi_{max}$ et $D = 1$: nous pouvons intégrer la formule (2.1) pour obtenir :

$$J = (4\pi m^* q k_B^2 T^2 / h^3) (1 - \exp(-V/k_B T)) \exp(-\Phi_{max}/k_B T) \quad (2.20)$$

L'équation de Richardson-Schottky est obtenue en supposant que la barrière est déformée à cause de la force image :

$$J = (4\pi m^* q k_B^2 T^2 / h^3) (1 - \exp(-\beta_s F^{1/2}/k_B T)) \exp(-\Phi_0/k_B T) \quad (2.21)$$

$$\text{Avec : } \beta_s = \left(\frac{q}{4\pi\epsilon_0\epsilon_i} \right)^{1/2}$$

En conclusion la formule analytique précédente représente le flux d'électrons surpassant la barrière de potentiel déformée par la force image.

2.1.3.3 Dépendances

Ce courant par définition est très dépendant de la température et très peu dépendant de l'épaisseur et du champ électrique

2.1.4 La conduction de type Poole-Frenkel

2.1.4.1 Définition

La conduction Poole-Frenkel est limitée par le volume du diélectrique. Cette conduction est donc directement affectée par les pièges et les défauts se trouvant dans le volume du diélectrique traversé par les porteurs. Ce mode de conduction est illustré dans la Figure 2.1.7. La présence des défauts dans le volume du diélectrique provoque un champ électrique qui déforme la barrière de potentiel comme présenté dans la Figure 2.1.7. Dans le cas de la conduction Poole-Frenkel, le porteur est transporté d'un piège à un autre par effet thermoïonique sur la barrière de potentiel. Le champ électrique élevé à coté des pièges fait en sorte que le porteur est capturé. La capture d'un ou plusieurs électrons influence en elle même le champ électrique ce qui peut provoquer la libération de l'électron du piège.

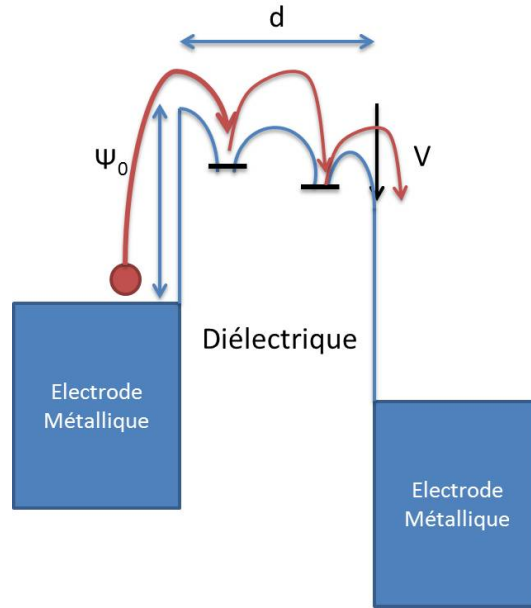


FIGURE 2.1.7 – Diagramme de bandes d'énergie représentant la conduction d'un électron par effet Poole-Frenkel. Entre chaque piège, l'électron est transporté par effet thermoionique au dessus de la barrière de potentiel

2.1.4.2 Modélisation mathématique

Le premier formalisme mathématique de la conduction par Poole-Frenkel est complexe [HILL 71]. L'expression du flux de courant est simplifié comme suit :

$$J_{PF}(F) = A.F.exp \left[\frac{B_{PF}.\sqrt{F}}{k.T} \right] \text{ avec } B_{PF} = \sqrt{\frac{q}{\pi\epsilon_0\epsilon_i\alpha_{PF}}} \quad (2.22)$$

Le paramètre α_{PF} donne la distance entre les pièges à l'aide de l'abaque de la Figure 2.1.8. [Christophe 01] [SALVO 99]. Le paramètre A est le même que pour la conduction courant tunnel. Nous avons donc une droite $\ln(J_{PF}/F)$ en fonction de F en présence d'une conduction par Poole-Frenkel.

2.1.4.3 Dépendances

La dépendance à la température mais aussi au champ électrique est claire dans le cas d'un mécanisme Poole-Frenkel.

2.1.5 La conduction de type Hopping

2.1.5.1 Définition

Comme pour la conduction Poole-Frenkel, la conduction de type Hopping est limitée par les pièges dans le volume. Ce qui la différencie de la conduction Poole-Frenkel, est que les porteurs sont transportés d'un piège à un autre par effet tunnel

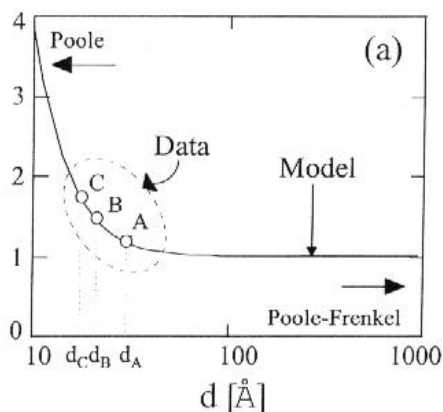


FIGURE 2.1.8 – Variation du paramètre α_{PF} en fonction de la distance entre pièges [SALVO 99].

et non par conduction thermoïonique. La Figure 2.1.9 illustre la conduction d'un électron entre pièges en volume par effet Hopping.

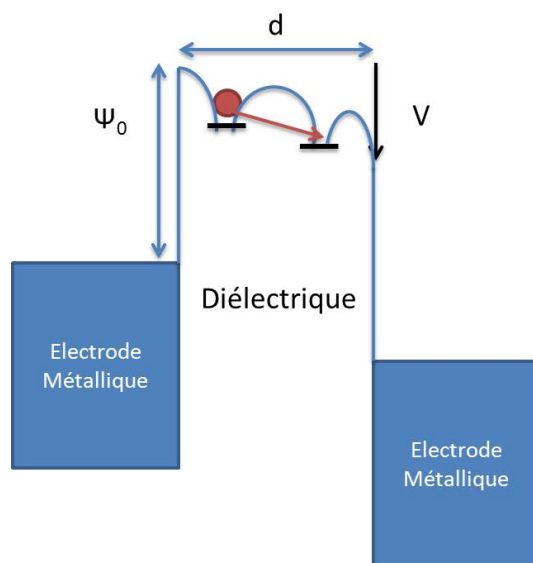


FIGURE 2.1.9 – Diagramme de bandes d'énergie représentant la conduction d'un électron par effet Hopping. Entre chaque piège l'électron est transporté par effet tunnel direct.

2.1.5.2 Modélisation mathématique

Le courant Hopping peut être modélisé par l'expression suivante [Christophe 01] :

$$J_H(F) = A.F.exp\left[\frac{d.\sqrt{F}}{k.T}\right] \quad (2.23)$$

Nous avons donc une droite $\ln(J_H/F)$ en fonction de F quand nous sommes en présence d'une conduction par Hopping. Le paramètre d donne la distance entre les

pièges, sa valeur peut être déduite de la pente de la droite. Le paramètre A est le même que pour la conduction courant tunnel.

2.1.5.3 Dépendances

Comme pour le mécanisme Poole-Frenkel, les dépendances à la température et au champ électrique sont présentes dans la conduction de type Hopping.

2.2 Validation de l'implémentation du modèle de Matrices de transmission pour le calcul du courant tunnel

2.2.1 Apports au simulateur MARSSEA pour la simulation des jonctions tunnel

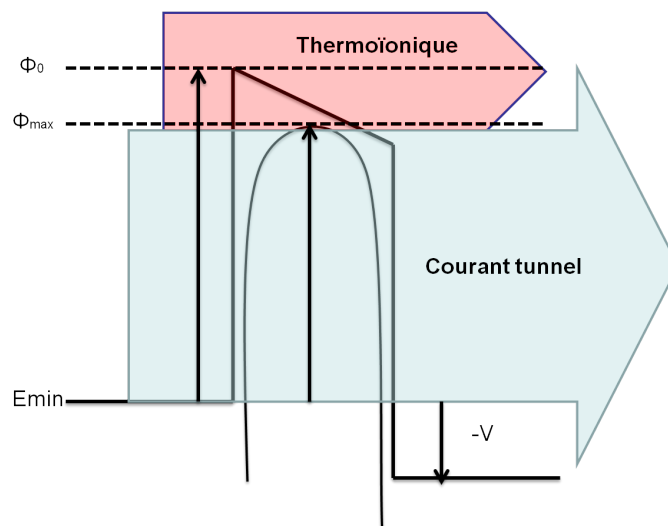


FIGURE 2.2.1 – Diagramme de bandes pour une jonction tunnel symétrique représentant l'abaissement de la barrière de potentiel dû à la force image, et les différents modes de conceptions électroniques, courant tunnel et courant thermoionique, et leurs gammes d'énergies respectives.

Le simulateur MARSSEA (Master Equation Resolution for the Simulation of Single Electron Artifacts) pour la simulation du courant tunnel à travers une jonction tunnel et du courant dans un SET a été développé par C. Dubuc, Arnaud Beaumont et Marc Guilmain. Ce simulateur utilise le modèle WKB pour la simulation du courant tunnel nécessaire pour une jonction tunnel mono-diélectrique comme pour un SET ayant une jonction tunnel mono-diélectrique aussi. Il utilise aussi le modèle analytique présenté dans la section 2.1.3 pour le calcul du courant thermoionique. Le calcul du courant thermoionique utilise la hauteur de barrière déformée

par la force image. Or, par définition, la formule analytique du courant thermoïonique prend en compte la déformation de la barrière de potentiel par la force image. L'implémentation du courant suppose aussi que le formalisme WKB calcule uniquement le courant tunnel direct, la contribution du courant thermoïonique est donc additionnée au courant tunnel calculé. Dans ce travail, nous avons tâché d'améliorer ce simulateur sur trois points principalement :

1. Nous avons étendu le calcul du courant tunnel à travers un empilement de trois couches de diélectriques différents.
2. Nous avons amélioré le calcul du courant tunnel en remplaçant le modèle WKB par le modèle de Matrices de transmission. Ce dernier est une solution exacte de l'équation de Schrödinger.
3. Finalement, nous avons rectifié l'hypothèse concernant le courant thermoïonique et nous avons remplacé le calcul analytique de ce mode de conduction par un calcul utilisant le modèle de Matrices de transfert pour les énergies supérieures à la barrière de potentiel déformée par la force image.

2.2.2 Matrice de transmission

Le calcul de la probabilité de transmission étant la plus critique dans la simulation du courant tunnel, il est donc important de la comparer à des résultats de références issus de la littérature. Dans la Figure 2.2.2, nous comparons nos propres calculs de la probabilité de transmission à des simulations de Govoreanu et al. (2003) d'une jonction tunnel de SiO_2 [Govoreanu 03e]. Nous remarquons bien que les deux simulations correspondent. La probabilité de transmission est aussi comparée pour une structure de $Nb/Nb_2O_5/Nb$ dans la Figure 2.2.3 [Hashem 13]. Pour cette dernière comparaison, les deux courbes ne sont pas complètement superposées, ceci est peut être dû à la différence des paramètres des électrodes que les auteurs ont omis de mentionner.

2.2.3 Courant tunnel

Une fois le calcul de la matrice de transmission validé, il est important aussi de vérifier le calcul du courant tunnel incluant la variabilité que peut avoir la fonction d'approvisionnement en porteurs sur les valeurs du courant. La Figure 2.2.4 montre que pour les mêmes paramètres de simulation, les données de Govoreanu et al. (2003) de Courant-Tension correspondent parfaitement au calcul avec les matrices de transmission (ici noté TM). Nous comparons aussi le calcul du courant tunnel par le modèle WKB du simulateur MARSSEA pour les deux jonctions mono-diélectriques.

En effet, si le modèle matrice de transmission reproduit parfaitement la caractéristique courant-tension, le modèle WKB du simulateur MARSSEA tend à dériver sensiblement des valeurs mesurées. Nous pensons que le modèle WKB implémenté présente des limites importantes à bas et fort champ. La première limite est dans la reproduction des oscillations du courant à cause des réflexions/transmissions des électrons à travers la couche diélectrique. La deuxième est le calcul analytique du

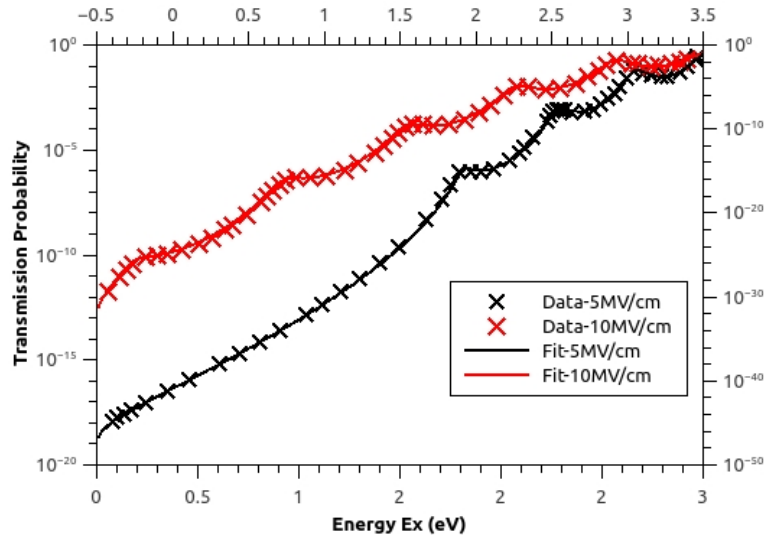


FIGURE 2.2.2 – Probabilité de transmission d’une jonction tunnel de 3nm SiO_2 sous un champs électrique appliqué de 5MV/cm et 10MV/cm. Données de Govoreanu et al. (2003) et simulation de la même transmission avec notre modèle implémenté [Govoreanu 03e].

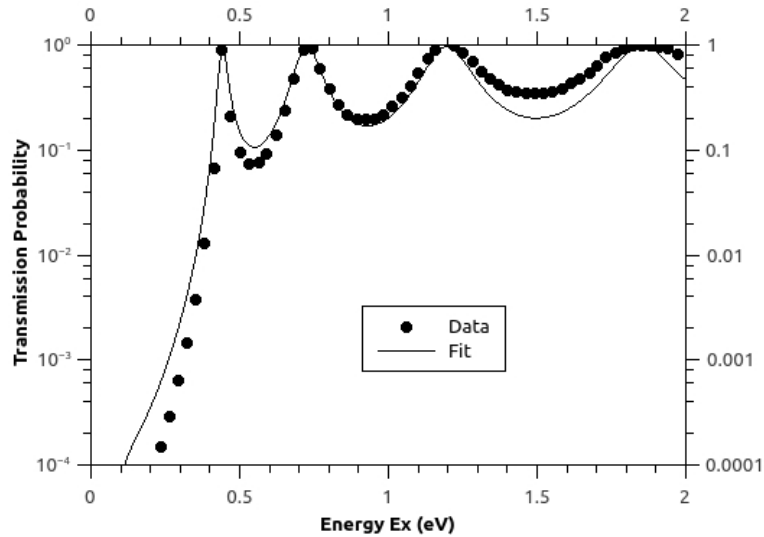


FIGURE 2.2.3 – Calcul de la probabilité de transmission $T(E_x)$ utilisant la méthode des matrices de transmission pour $V = 0.1V$ pour une diode $Nb/Nb_2O_5/Nb$ le travail de sortie est $W = 4.3eV$, l’affinité électronique et la permittivité sont 4eV et 41. Un bon accord entre les données et la simulation est démontré [Hashem 13].

courant thermoïonique qui surestime sa valeur à faible champ mais la sous-estime à fort champ.

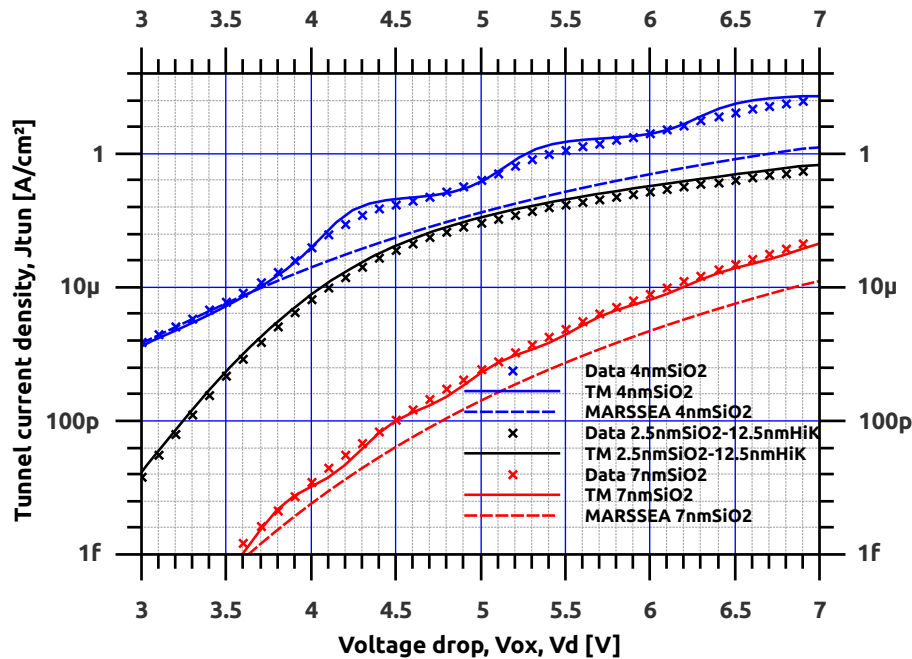


FIGURE 2.2.4 – Comparaison du calcul de courant tunnel de Govoreanu et al. (2003) (croix) et notre modèle de Matrices de transmission (TM) (ligne continue) pour une jonction tunnel de 4nm SiO_2 (bleu) et 7nm SiO_2 (rouge) et une jonction tunnel composée d'une couche 2.5nm SiO_2 et d'une couche 12.5nm HiK (noir) [Govoreanu 03e]. Nous avons aussi comparé les calculs utilisant le modèle WKB du simulateur MARSSEA en ligne discontinue pour les jonctions mono-diélectriques.

2.3 Définition des caractéristiques optimales des jonctions tunnel du SET

Dans cette partie, nous essaierons d'identifier les caractéristiques optimales de la jonction tunnel du SET. La capacité des jonctions tunnel du SET et la caractéristique Courant-Tension de ces jonctions sont parmi les caractéristiques à améliorer.

2.3.1 Réduction de la capacité

Comme il a été discuté précédemment, le fonctionnement du SET se base sur le phénomène du blocage de Coulomb. Il est donc critique de diminuer la capacité totale de l'îlot du SET et donc celle des jonctions tunnel. Il faut d'abord rappeler que le modèle de plaques parallèles décrit la capacité C d'un condensateur plan sans effet de bord, représenté dans la Figure 2.3.1 comme suit :

$$C = \frac{A\epsilon_0\epsilon_r}{d} \quad (2.19)$$

ϵ_0 et ϵ_r étant la permittivité du vide et la permittivité relative du diélectrique dans le condensateur, d l'épaisseur du diélectrique, et A la surface des électrodes.

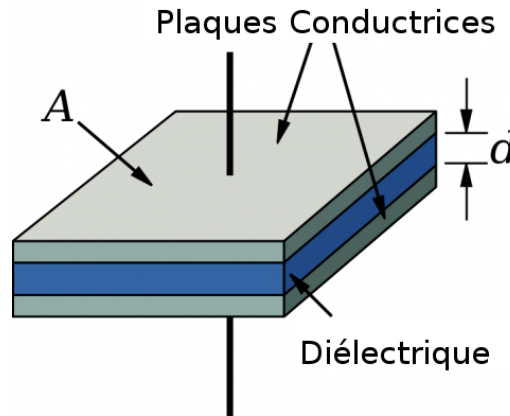


FIGURE 2.3.1 – Schéma représentant un condensateur : un diélectrique d'une épaisseur d entre deux plaques métalliques d'une surface A .

Pour ceci, trois solutions sont possibles :

1. La réduction de la surface de la jonction tunnel : en effet, en supposant que la capacité des jonctions tunnel correspond à un modèle plaques parallèles, c'est plutôt la diminution de cette surface et non la diminution de la taille de l'îlot du SET, qui est importante pour diminuer la capacité totale du SET.
2. L'augmentation de l'épaisseur d .
3. Le choix de matériau à basse permittivité ϵ_r .

2.3.2 Amélioration de la caractéristique Courant-Tension

Comme pour le CMOS, le SET a une caractéristique Courant-Tension idéale :

1. Un courant ON élevé pour pouvoir piloter d'autres dispositifs dans un circuit complexe. Le courant tunnel direct (ou courant FN quand la barrière est triangulaire) étant la conduction dominante à fort champ, il faudra donc l'avantager à des champs électriques élevés. Une barrière de potentiel faible peut accroître le courant tunnel à travers la barrière.
2. Pour faciliter la conception de circuit à base de SET et aussi améliorer la consommation du dispositif, il est aussi important d'avoir un courant OFF très bas. La conduction par courant thermoionique étant la plus dominante à faible champ, il faudra donc la supprimer dans ces conditions là. Une barrière de potentiel élevée peut bloquer une grande partie du courant thermoionique.

Les jonctions tunnel étant directement responsables de la conduction dans un SET, il est donc important d'avoir une jonction tunnel avec un courant OFF bas et un courant ON haut dans la gamme de fonctionnement du SET.

2.4 Proposition d'une jonction tunnel optimisée pour le SET

La définition des caractéristiques souhaitées de la jonction tunnel du SET démontre plusieurs oppositions. Un diélectrique unique ayant une hauteur de barrière Ψ_0 et une épaisseur d ne peut donc être une solution à ce problème. Deux scénarios sont donc possibles : (i) Dans le cas d'une hauteur de barrière faible $\Psi_0 < 0.5eV$, la jonction peut fournir un courant élevé pour le fonctionnement du transistor à l'état OFF. Par contre, le courant thermoïonique étant très élevé à bas champ, le courant total sera aussi élevé dans ce cas. (ii) Pour une hauteur de barrière plus élevée, le courant à l'état ON, va être trop bas pour le fonctionnement du SET.

2.4.1 La jonction tunnel VARIOT

Le développement de la jonction tunnel du SET est une problématique ressemblant à celle du développement de la jonction tunnel des mémoires non-volatiles. Dans celles-ci, une fenêtre de potentiel d'au moins 3V est nécessaire pour une séparation claire entre les états de programmation et d'effacement [Govoreanu 03c, Govoreanu 03a]. Une des solutions proposées par Govoreanu et al. (2003) est l'utilisation de jonction tunnel dite « à épaisseur variable » (VARIable Oxide Thickness ou VARIOT) [Govoreanu 03b].

Le concept VARIOT propose que deux (ou plusieurs) diélectriques soient utilisés pour former la jonction tunnel. Une première fine couche d'un diélectrique ayant une hauteur de barrière élevée et une permittivité faible (SiO_2 par exemple) et une deuxième couche plus épaisse d'un diélectrique ayant une hauteur de barrière plus faible et une permittivité plus élevée (diélectrique High-K). À faible champ électrique, la jonction tunnel est opaque à la conduction électronique. À fort champ par contre, le champ électrique étant concentré dans la couche low-K, celle-ci va s'abaisser pour rendre la couche High-K pratiquement transparente à la conduction électronique.

Le concept VARIOT est schématisé dans la Figure 2.4.1 pour une structure asymétrique à deux couches (comme décrit précédemment) et une structure symétrique à trois couches. La Figure 2.4.2, quant à elle, montre l'intérêt de l'utilisation des structures VARIOT. Nous remarquons bien que, ayant les mêmes valeurs de courant à fort champ, les structures VARIOT ont un courant plusieurs décades plus faible à faible champ.

La jonction tunnel VARIOT a donc des caractéristiques très importantes pour le SET. Un de ses inconvénients est la valeur élevée de la permittivité effective de l'empilement de diélectrique. Ceci est lié au fait que la couche épaisse de l'empilement a une constante diélectrique élevée. Nous introduirons une jonction tunnel semblable ayant les mêmes caractéristiques en termes de courant, mais une constante diélectrique effective faible.

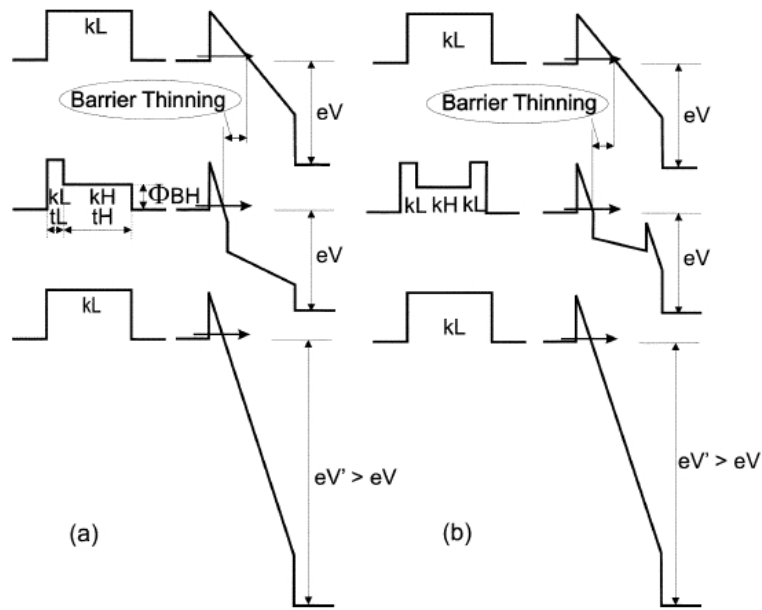


FIGURE 2.4.1 – Diagrammes de bandes illustrant le concept VARIOT en bande plate et sous polarisation V appliquée. L'isolant à faible constante diélectrique a une épaisseur t et une constante diélectrique kL et l'isolant à forte constante diélectrique a une épaisseur t et une constante diélectrique kH . En raison de la différence entre les constantes diélectriques, le champ à travers l'empilement se redistribue par rapport au cas à une seule couche, ce qui permet d'avoir une barrière apparente plus mince pour une même polarisation appliquée. (a) Barrière deux couches (asymétrique). (b) Barrière Trois couches (symétrique) [Govoreanu 03b].

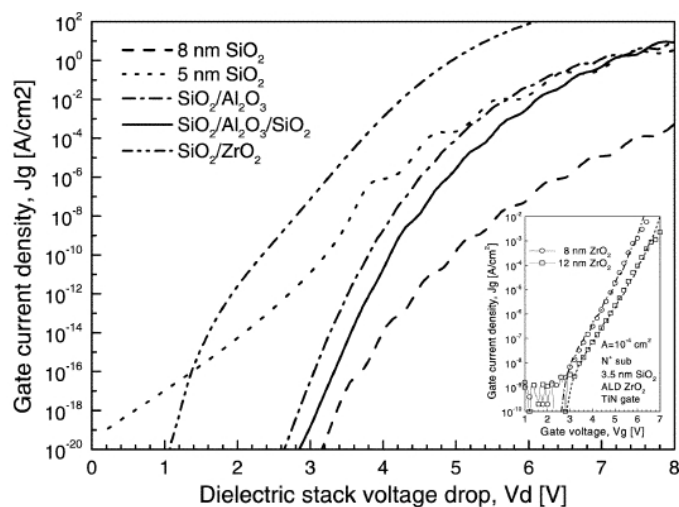


FIGURE 2.4.2 – Densités de courant des différents empilements de diélectriques. Les paramètres de matériaux utilisés sont $k = 3.9$, $\Phi_B = 3.15\text{eV}$ (SiO_2); $k = 10$, $\Phi_B = 2.8\text{eV}$ (Al_2O_3); $k = 24$, $\Phi_B = 1.5\text{eV}$ (ZrO_2). Les matériaux pris en compte ont été choisis en raison de leur constante diélectrique plus élevée que celle du SiO_2 . La masse effective est de 0.5. Tous les empilements ont une épaisseur d'oxyde effective (EOT) de 5nm. L'électrode de grille correspond au polysilicium de type n et le substrat en Si dopé 10^{17}cm^{-3} . Le graphique interne montre des mesures et des calculs de courants à travers un empilement de $\text{SiO}_2/\text{ZrO}_2$ [Govoreanu 03b].

2.4.2 La jonction R-VARIOT (VARIOT modifiée)

La Figure 2.4.3 représente les digrammes de bandes de la jonction tunnel VARIOT et de la jonction tunnel VARIOT modifiée (ou R-VARIOT) proposée dans cette étude, pour des structures symétriques et asymétriques. La modification majeure qu'apporte la jonction tunnel R-VARIOT réside dans les matériaux utilisés. Les matériaux utilisés dans la jonction VARIOT sont : (i) un matériau à haute barrière de potentiel ayant une permittivité faible (High Barrier Low-K : HBLK) et (ii) un matériau à faible barrière de potentiel ayant une permittivité élevée (Low Barrier High-K : LBHK). Dans la jonction R-VARIOT les matériaux utilisés sont : (i) un matériau à haute barrière de potentiel ayant une permittivité élevée (High Barrier High-K : HBHK) et (ii) un matériau à faible barrière de potentiel ayant une permittivité faible (Low Barrier Low-K : LBLK). Comme il est présenté dans la Figure 2.4.3, la différence en terme de constantes diélectriques entre les deux matériaux dans une structure R-VARIOT fait en sorte que la distribution du champ électrique est différente dans chacune des couches, mais plus élevée dans la couche Low-K. Ceci produit, comme pour la structure VARIOT, une opacité aux électrons à faible champ mais une transparence élevée à champ élevé. En terme de capacité, la structure est d'autant plus intéressante car la couche la plus épaisse dans l'empilement est la couche Low-K ce qui cause la diminution de la permittivité effective de l'empilement. Ceci est d'autant plus intéressant en analysant les conductions, tunnel direct et thermoionique, à fort et bas champ dans la Figure 2.4.4. À bas champ, la structure de l'empilement est opaque au courant tunnel mais aussi au courant thermoionique. À fort champ, la transparence augmente pour le courant tunnel mais aussi pour le courant thermoionique grâce à l'abaissement de la barrière de potentiel. Grâce au comportement de cette barrière, il nous serait possible de diminuer tout courant à faible tension appliquée tout en faisant participer le courant thermoionique à la conduction pour les tensions de fonctionnement du dispositif.

2.5 Étude des jonctions tunnel de type R-VARIOT

Dans cette partie, nous tenterons d'étudier différentes jonctions tunnels de type R-VARIOT. Plusieurs architectures, matériaux, et épaisseurs seront pris en compte. Tout d'abord, pour démontrer le concept, nous commencerons par comparer plusieurs empilements ayant la même épaisseur mais des architectures différentes.

Dans la Figure 2.5.1, plusieurs structures de type R-VARIOT sont proposées. Nous comparerons ces structures à la structure mono-diélectrique composée d'un diélectrique unique LBLK ayant une permittivité de $\epsilon_{r1} = 3.5$ et une hauteur de barrière de $\Phi_{b1} = 0.5eV$. Les autres matériaux sont formés, en plus du matériau LBLK, d'une (ou deux) couches d'un matériau HBHK ayant une permittivité de $\epsilon_{r1} = 15$ et une hauteur de barrière de $\Phi_{b1} = 1.5eV$. Les empilements de chaque structure sont donc :

- Structure A : 2nm LBLK, 2nm HBHK, 2nm LBLK

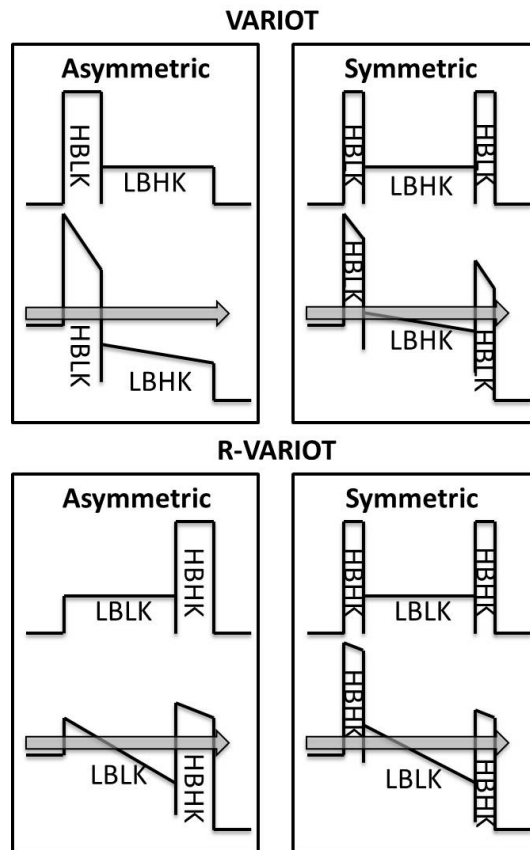


FIGURE 2.4.3 – Diagramme de bandes des jonctions tunnel VARIOT et R-VARIOT asymétrique et symétrique avec et sans potentiel appliqué.

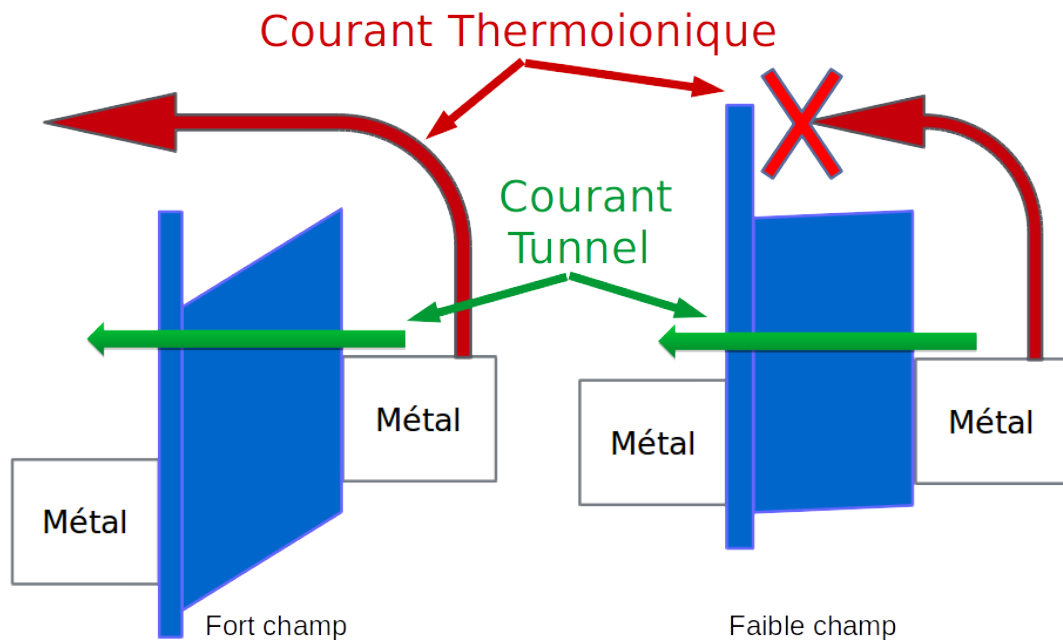


FIGURE 2.4.4 – Diagramme de bandes d'une structure R-VARIOT asymétrique indiquant les modes de conduction à faible et fort champ. Les flèches représentent les modes de conduction tunnel et thermoionique.

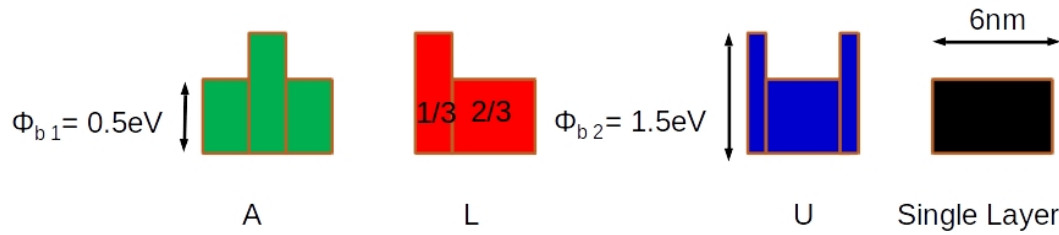


FIGURE 2.5.1 – Diagrammes de bandes des jonctions tunnel R-VARIOT. Toutes les structures ont une épaisseur de 6nm. La structure mono-diélectrique (Single Layer) est formée de 6nm d'un diélectrique LBLK ayant $\varepsilon_{r1} = 3.5$, $\Phi_{b1} = 0.5eV$. Les structures A, L et U sont formées de 2/3 du même diélectrique LBLK et de 1/3 d'un diélectrique HBHK ayant $\varepsilon_{r2} = 15$, $\Phi_{b2} = 1.5eV$.

- Structure L : 2nm HBHK, 4nm LBLK
- Structure U : 1nm HBHK, 4nm LBLK, 1nm HBHK
- Structure mono-diélectrique : 6nm LBLK

La Figure 2.5.2 représente les simulations des caractéristiques Densité de Courant-Tension pour chacune des structures présentées. Nous remarquons que, pour la même épaisseur, la structure mono-diélectrique a une hauteur de barrière plus basse. Les structures R-VARIOT présentent des caractéristiques intéressantes, en particulier la structure de type L. Pour cette structure, la densité de courant à bas champ est jusqu'à cinq décades plus faible que pour la couche simple mais plus élevée à partir de 0.45V. Cette structure est donc intéressante pour une application au SET.

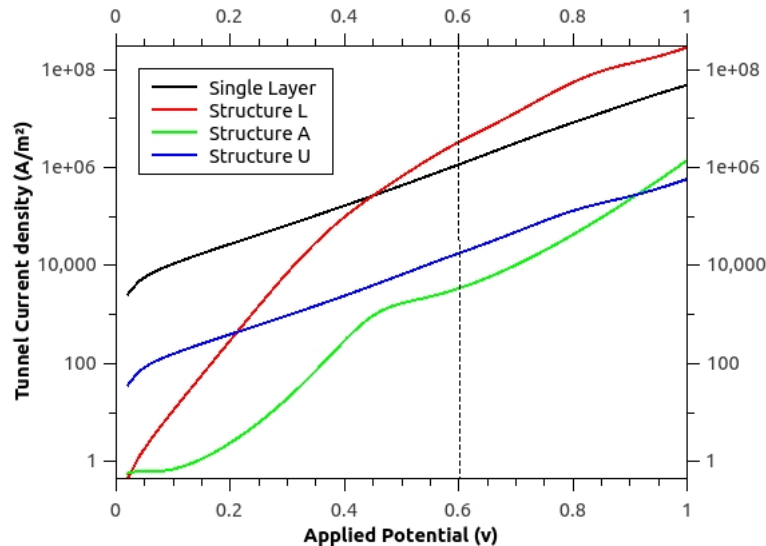


FIGURE 2.5.2 – Calcul des caractéristiques de densité de courant-Tension pour chacune des structures : mono-diélectrique, L, A et U.

Comme pour les structures VARIOT, le changement de la densité de courant pour la structure L est dû au changement de sa transparence aux électrons. Dans la Figure 2.5.3, la probabilité de transmission en fonction de l'énergie est représentée

pour chacune des structures décrites précédemment et pour un potentiel appliqué de 0.6V. Il faut bien remarquer que pour les tensions faibles, les structures mono-diélectriques et L se démarquent des autres structures. En effet c'est dans les énergies les plus basses que les électrons sont plus présents pour être transportés par effet tunnel.

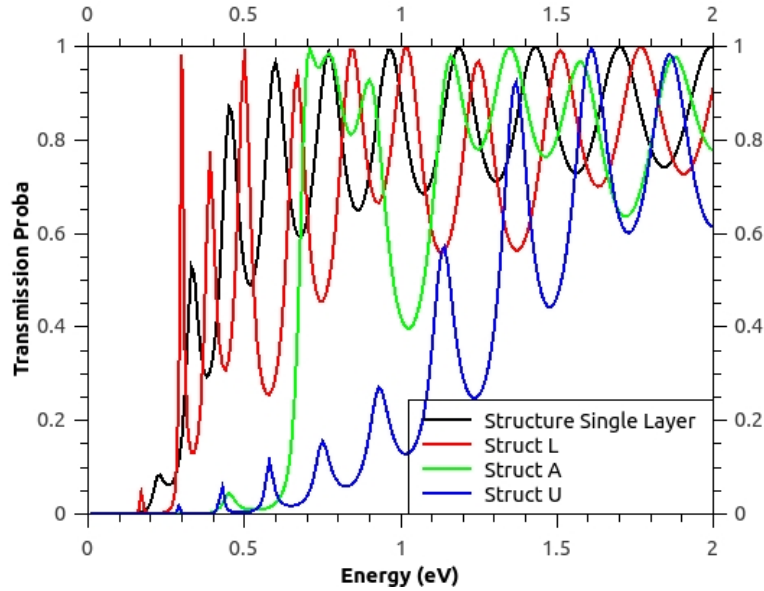


FIGURE 2.5.3 – Probabilité de transmission des structures : mono-diélectrique, L, A et U (comme décrit précédemment) pour une tension appliquée de 0.6V.

Tableau 2.1 – Liste de diélectriques et de leurs paramètres respectifs : constante diélectrique, hauteur de la barrière de potentiel et masse effective des électrons listés en trois catégories différentes.

Catégories	diélectriques	ε_r	ψ (eV)	m^*
LBLK	TiO_x [Dubuc 07]	3.5	0.32	0.4
	Ga_2O_3 [Robertson 06]	4.2	0.5	-
	Gd_2O_3 [Robertson 06]	4.8	0.5	-
	$PbTiO_3$ [Robertson 06]	6.2	0.5	-
HBHK	Al_2O_3 [El Hajjam 14]	7.2	2.7	0.26
	Si_3N_4 [Likharev 98]	25	2	0.2
	TiO_2	35	1	0.5
HBLK	SiO_2	3.9	3	0.5

Le Tableau 2.1 présente les différents matériaux qui peuvent être utilisés dans la fabrication des jonctions tunnel R-VARIOT. Dans les parties suivantes, nous utiliserons le TiO_x comme matériau LBLK et le TiO_2 comme matériau HBHK. Il est certain que l'utilisation d'autres matériaux peut donner d'aussi bons résultats.

2.5.1 Effet de l'épaisseur

Dans cette section nous comparons différentes structures de type R-VARIOT. Dans la Figure 2.5.4, nous comparons donc des structures L, U et A ayant une épaisseur totale de 4nm. Nous faisons varier l'épaisseur des deux couches HBHK (TiO_2) et LBLK (TiO_x) pour voir l'effet de cette épaisseur sur la caractéristique courant-tension. Ces courants sont comparés à une couche de 4nm de TiO_x dénommée dans la Figure « 4nm Std ». Les structures simulées sont les suivantes :

- L 3.5nm LBLK, 0.5nm HBHK
- L 3nm LBLK, 1nm HBHK
- L 2.5nm LBLK, 1.5nm HBHK
- U 0.25nm HBHK, 3.5nm LBLK, 0.25nm HBHK
- U 0.5nm HBHK, 3nm LBLK, 0.5nm HBHK
- U 0.75nm HBHK, 2.5nm LBLK, 0.75nm HBHK
- A 1.25nm LBLK, 1.5nm HBHK, 1.25nm LBLK
- A 1.5 LBLK, 1nm HBHK, 1.5nm LBLK
- A 1.75nm LBLK, 0.5nm HBHK, 1.75nm LBLK

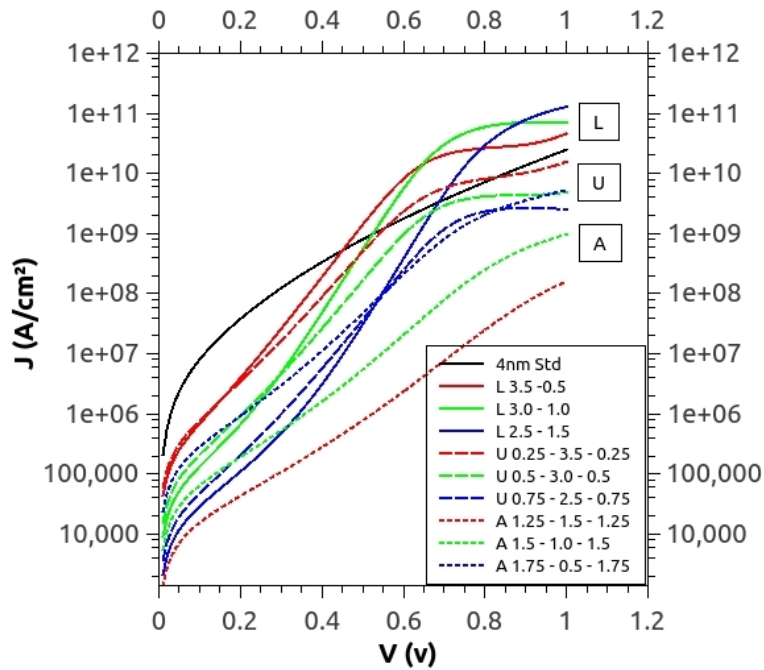


FIGURE 2.5.4 – Densité de courant de différentes structures, modo-couche, L, A et U de type R-VARIOT. Toutes les structures ont une épaisseur de 4nm. L'épaisseur des couche HBHK et LBLK varient.

Dans la Figure 2.5.4, pour les mêmes épaisseurs, les structures de type L et certaines structures de type U ont des caractéristiques intéressantes pour une application SET. La structure L 3.0-1.0 (L 3nm LBLK, 1nm HBHK) est un bon exemple : en effet le courant pour un potentiel nul est trois décades plus bas que pour la structure 4nm Std. À 0.7V cette même structure a un courant d'une décade plus élevé par rapport à la structure « 4nm Std » (4nm de TiO_x). Cette structure a un

potentiel pour améliorer la caractéristique électrique du SET.

2.5.2 Effet de la permittivité

La permittivité influant directement sur la distribution du champ électrique dans chacune des couches des jonctions R-VARIOT, il est donc important de comprendre l'effet de la permittivité sur le courant. Dans la Figure 2.5.5, nous avons choisi de simuler les structures :

- L 3nm LBLK, 1nm HBHK
- U 0.5nm HBHK, 3nm LBLK, 0.5nm HBHK
- A 1.5nm LBLK, 1nm HBHK, 1.5nm LBLK

Les couches LBLK ont les paramètres du TiO_x dans le Tableau 2.1. Concernant la couche HBHK, nous avons pris une valeur de hauteur de barrière de $\Phi_b = 1eV$, la permittivité ε_r a été variée quant à elle de 3.5 à 30 pour chacune des structures simulées. Les résultats sont montrés dans la Figure 2.5.5. Tout d'abord, il est remarquable que pour les structures U et A, le changement de permittivité n'affecte pas notablement la densité de courant. Pour la structure L, le changement est notable. Ceci est généralement dû à la structure en elle-même. Le champ électrique élevé dans la couche LBLK augmente la transparence de la structure augmentant aussi le courant tunnel.

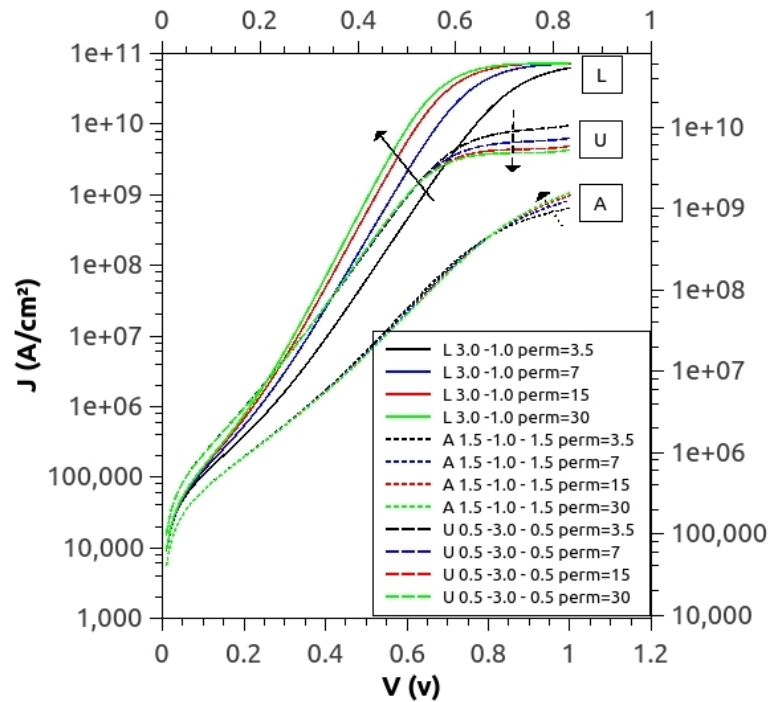


FIGURE 2.5.5 – Densité de courant de différentes structures, L, A et U de type R-VARIOT. La permittivité des couches HBHK varie de 3.5 à 30.

2.5.3 Capacité des jonctions tunnel multi-couches

La capacité des jonctions tunnel étant critique pour le fonctionnement du SET, nous allons nous attaquer à l'influence de la permittivité d'une jonction multi-couches (de type R-VARIOT par exemple) sur la capacité total de l'îlot du SET. Dans la Figure 2.5.6, les lignes des limites $10k_bT$ et $5k_bT$ sont dessinées. Pour une couche de 5nm d'épaisseur et une surface de $20 \times 2nm^2$ la permittivité relative doit être plus basse que 9 pour que l'énergie de charge de l'îlot soit supérieure à $10k_bT$. La permittivité relative de cette couche doit cependant être plus basse que 18 pour que l'énergie de charge de l'îlot soit supérieure à $5k_bT$.

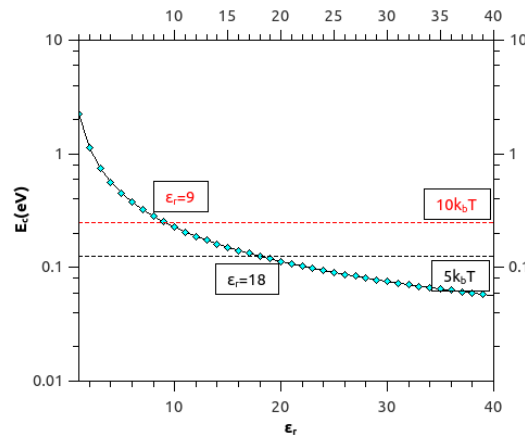


FIGURE 2.5.6 – Énergie de charge d'un îlot, ayant comme jonction tunnel un diélectrique d'une épaisseur de 5nm et une surface de $20 \times 2nm^2$, en fonction de la permittivité relative de ce diélectrique.

Une fois les limites identifiées, la Figure 2.5.7 prend le cas d'un bi-couches de 5nm, pour la même surface de $20 \times 2nm^2$, cette fois la couche est formée d'une couche de 1nm ayant une permittivité de 3.5. Dans la Figure 2.5.7, la permittivité de la couche d'une épaisseur de 4nm est variée pour estimer la permittivité effective de l'empilement des deux couches. Dans ce cas, la deuxième couche même plus épaisse, influe faiblement sur la permittivité de l'empilement. Quelle que soit la permittivité de la deuxième couche, l'énergie de charge de l'îlot sera toujours plus élevée que $5k_bT$ (ligne noire). Elle sera plus élevée que $10k_bT$ pour une permittivité de la deuxième couche inférieure à 14. L'empilement de couche à basse permittivité et de couche à haute permittivité a aussi un intérêt pour augmenter l'énergie de charge de l'îlot du SET et donc augmenter sa température de fonctionnement.

2.6 Conclusion

Ce chapitre introduit les principes importants pour l'étude de la jonction tunnel pour l'optimisation du SET. Dans un premier temps, les différents modes de conductions sont analysés pour évaluer leur impact sur la conduction dans le SET. Nous

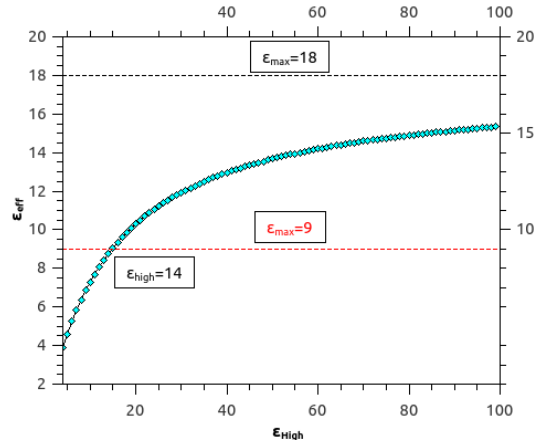


FIGURE 2.5.7 – Permittivité effective d’une jonction tunnel d’une épaisseur de 5nm et d’une surface de $20 \times 2nm^2$, composé d’une couche de 1nm ayant une permittivité de 3.5 et une couche de 4nm dont on fait varier la permittivité.

avons aussi discuté de l’implémentation des outils nécessaires pour la simulation du courant tunnel. Ces modèles de conduction nous seront utiles pour la simulation du SET. Finalement, nous avons étudié les caractéristiques de la jonction tunnel R-VARIOT optimisée. La caractéristique courant-tension optimisée et le capacité faible de cette jonction tunnel la rendent attractive pour une application SET. Dans le chapitre suivant, nous discuterons de l’étude des matériaux intéressants pour la fabrication de cette jonction tunnel optimisée. Nous tenterons de fabriquer et de mesurer cette dernière en utilisant principalement la technique de dépôt par couche atomique (ALD).

Chapitre 3

Fabrication et caractérisation de dispositifs Métal-Isolant-Métal : validation expérimentale des jonctions à effet tunnel optimisées

Nous procéderons, à partir des travaux de simulations du chapitre précédent, à la fabrication et la caractérisation des dispositifs MIM. Les objectifs de cette étape sont la compréhension du comportement électrique dans les différents diélectriques étudiés, l'amélioration des recettes pour les dépôts ou croissances des matériaux et finalement la fabrication de MIM ayant une jonction tunnel optimisée. Le chapitre commence par une description des différentes étapes de fabrication et des techniques utilisées. Ensuite, nous procéderons à la description et à l'analyse des résultats de caractérisation électrique des différents dispositifs MIM. Nous utiliserons nos outils de simulation et de modélisation pour interpréter nos résultats.

3.1 La Fabrication des dispositifs MIM

Comme il est décrit dans la Figure 2.3.1, la MIM est un dispositif composé d'un diélectrique plaqué entre deux électrodes métalliques. Nous obtenons un dispositif en polarisant les deux électrodes métalliques de la MIM. Si l'épaisseur du diélectrique est fine, et pour une surface de l'électrode importante, nous pouvons mesurer un courant de fuite à travers le diélectrique de la MIM.

Nous avons développé un procédé simple pour la fabrication des dispositifs MIM. Comme base de fabrication des dispositifs MIM, nous prenons des substrats de silicium de 2 ou 4 pouces. Pour réduire le couplage et aussi pour éliminer les courants de fuite entre le silicium et l'électrode inférieure des dispositifs, une couche de 200nm à 500nm de SiO_2 thermique a été formée par oxydation sur le wafer de silicium. Plusieurs étapes technologiques seront nécessaires pour la fabrication de nos dispositifs MIM. La description de ces différentes étapes est le centre de cette partie, les étapes d'évaporation par canon à électrons et de photolithographie seront détaillées dans l'annexe de ce manuscrit. La Figure 3.1.1 représente le flot de fabrication de

ces dispositifs :

1. Comme décrit précédemment, la fabrication commence sur une base d'un wafer de 2 ou 4 pouces de silicium passivé avec 500nm de SiO_2 thermique.
2. Dans la deuxième étape, le dépôt de l'électrode métallique arrière peut être fait par plusieurs techniques de dépôts : l'évaporation, la pulvérisation cathodique et le dépôt par couche atomique.
3. La troisième étape consiste à déposer ou croître une couche d'oxyde (ou autres diélectriques) sur la première couche métallique déposée. La dernière étape est quant à elle composée de plusieurs sous-étapes intermédiaires : a) le spin-coating de la résine photosensible positive, b) l'insolation de la résine à travers un masque, c) le développement de la résine pour dévoiler les motifs du masque par la dissolution des zones insolées.
4. Quatrièmement, l'évaporation est utilisée pour le dépôt des électrodes supérieures.
5. Finalement la résine est diluée dans un produit « remover » ou dans l'acétone pour soulever les parties non insolées de la résine.
6. Le résultat final dévoile plusieurs dispositifs MIM ayant une électrode supérieure, un diélectrique et une électrode inférieure.
7. Un procédé de gravure est utilisé pour pouvoir accéder à l'électrode inférieure et la polariser. Le dispositif final est schématisé dans la Figure 3.1.2. Dans les parties suivantes, les étapes cruciales du procédé (Dépôt, lift-off et gravure) seront décrites avec plus de détails [El Hajjam 14].

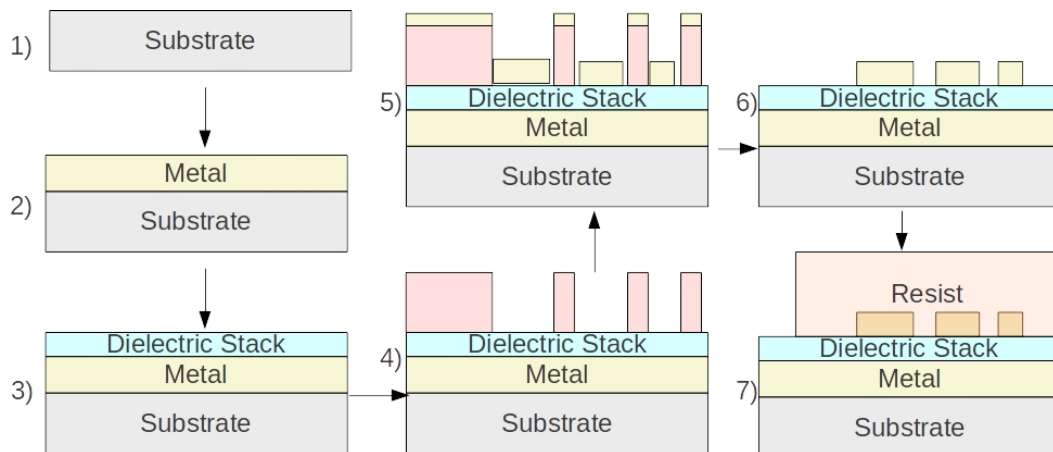


FIGURE 3.1.1 – Flot de fabrication des dispositifs MIM

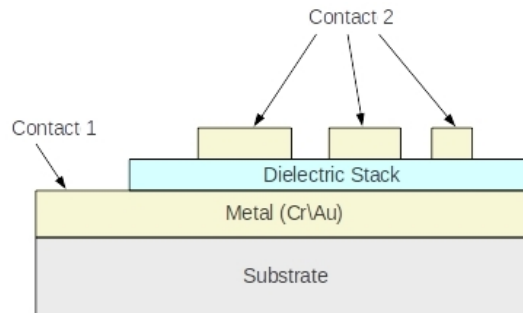


FIGURE 3.1.2 – Schéma représentant les dispositifs MIM finaux.

3.2 Dépôt par couche atomique (ALD)

3.2.1 Dépôt chimique en phase vapeur (CVD)

Le dépôt par couche atomique ALD (Atomique Layer Deposition) est une variante récente d'une ancienne technologie : la CVD (Chemical Vapour Deposition). Le principe est le suivant : un mélange de gaz est projeté sur un substrat chauffé ; ce qui provoque la formation d'une couche mince qui croît sur la surface. La chaleur de la surface est un élément important pour déclencher la réaction aussi rapidement que voulu. Dans un cas idéal, la réaction hétérogène ne se produit qu'en surface, les gaz ne devraient pas réagir entre eux. Un compromis doit être trouvé entre le besoin en gaz très réactifs et limiter les réactions entre ces mêmes gaz [FAUCHAIS 13].

3.2.2 Évolution vers l'ALD

Dans un procédé ALD, le principe est très proche que celui de la CVD. Dans cette technique, le flux de deux gaz réagissant avec la surface chauffée se fait en deux étapes. Dans la première étape, le substrat est exposé au premier gaz, qui est pompé de la chambre à la fin de l'étape. Pendant cette exposition, une mono-couche du premier gaz est adsorbée sur la surface, et y reste même après le pompage de la chambre. Dans la deuxième étape, le deuxième gaz est introduit. Ce gaz réagit avec la mono-couche formée par le premier gaz. Ce cycle (les deux étapes décrites) forme généralement une mono-couche d'un matériau précis. Le procédé est donc répété autant de fois pour atteindre une épaisseur voulue. Il est clair que la vitesse de dépôt est très faible. Le procédé se basant essentiellement sur des réactions de surface, les couches déposées par ALD sont très conformes et uniformes sur le substrat [VIOLET 08].

3.2.3 Exemple de dépôt ALD de Al_2O_3 par Trimethylaluminium (Cambridge Nanotech)

Concernant la méthode de dépôt des couches de diélectriques, nous avons choisi de réaliser des dépôts par couche atomique et ce pour plusieurs raisons :

- Le large choix de diélectriques déposés.
- La qualité des couches déposées (cristallinité, etc...)

- Le contrôle des épaisseurs déposées (une couche atomique par cycle)
- Le dépôt à basse température (entre 150 et 300°C)
- La conformité des dépôts.

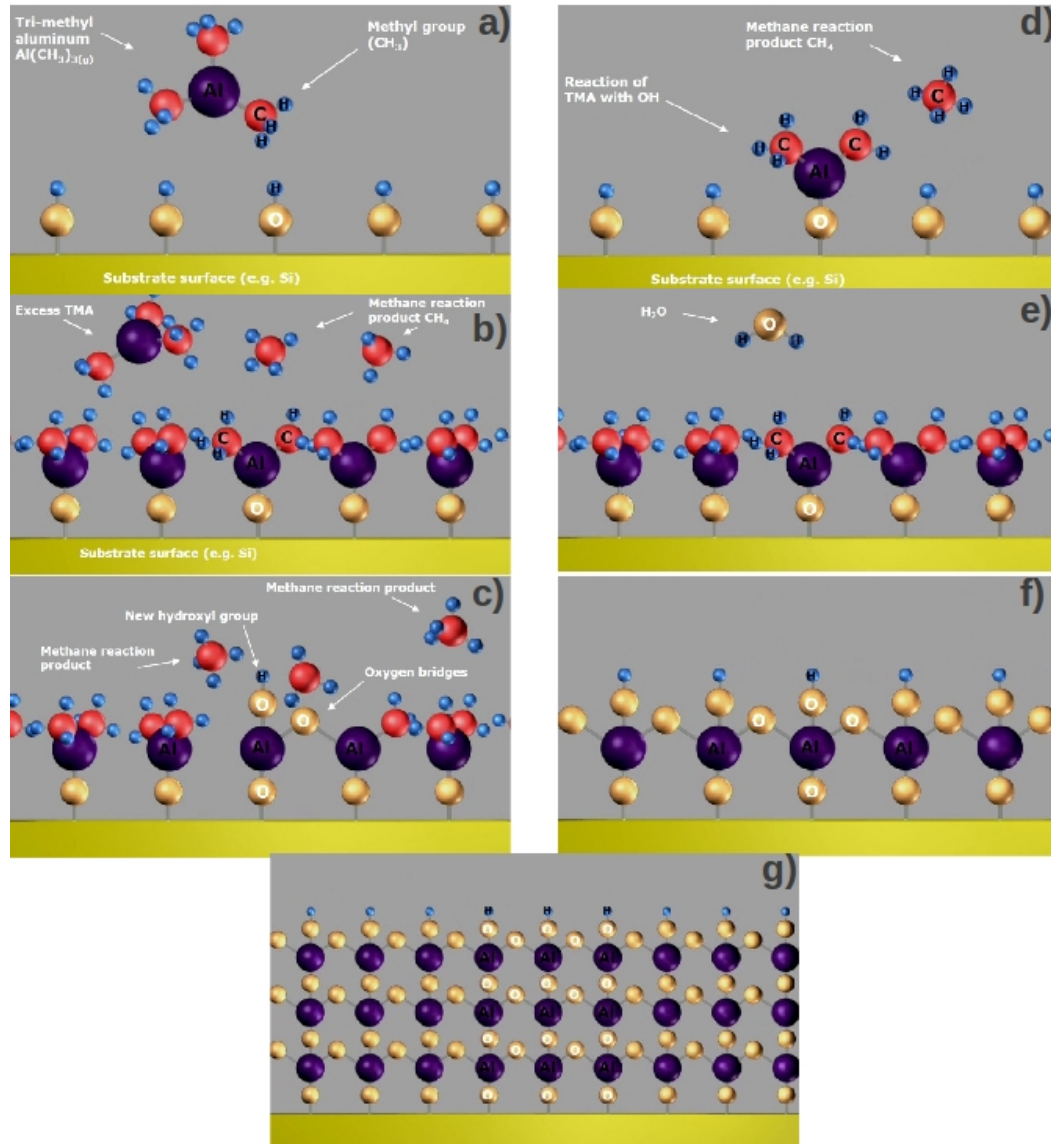
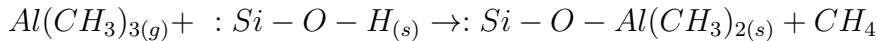


FIGURE 3.2.1 – Exemple de dépôt ALD de Al_2O_3 par Trimethylaluminium [Cam 14].

La Figure 3.2.1 illustre l'exemple du dépôt ALD de Al_2O_3 et ce qui le différencie des autres techniques de dépôt (CVD par exemple). Cet exemple est emprunté à Cambridge NanoTech Inc., l'un des plus importants instrumentiers ALD [Cam 14].

a) Dans l'air, la plupart des surfaces adsorbent la vapeur H_2O créant un groupe hydroxyle avec le silicium ($Si - O - H_{(s)}$). Le cycle de dépôt commence par le pulse du Trimethyl Aluminum (TMA) dans la chambre du réacteur.

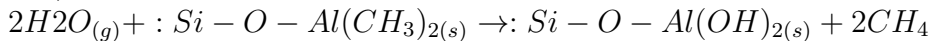
b) Le TMA réagit avec le groupe hydroxyle adsorbé pour produire du méthane, ce qui correspond à la réaction suivante :



c) Le TMA réagit avec le groupe hydroxyle adsorbé jusqu'à la passivation de la surface. Le TMA ne réagit pas avec lui-même. La réaction est donc terminée quand tous les groupes hydroxyles ont réagi avec le TMA, ce qui est à l'origine de l'uniformité du dépôt par ALD. Le reste du TMA est pompé, avec le méthane, de la chambre du réacteur.

d) Ensuite, la vapeur d'eau (H_2O) est pulsée dans la chambre du réacteur.

e) H_2O réagit avec le groupe méthyle sur la nouvelle surface formant un pont (Al-O) et un groupe hydroxyle en surface :



f) Une fois encore le méthane produit est pompé hors de la chambre. L'excès en H_2O ne réagissant pas avec le groupe hydroxyle en surface, la passivation est une couche atomique parfaite.

g) Un cycle est donc formé d'un pulse de TMA et d'un pulse de H_2O . La Figure 3.2.1-g) représente le résultat de la succession de 3 cycles formant 3 couches atomiques.

3.2.4 Les modes de dépôt ALD

3.2.4.1 Dépôt ALD thermique

Évidemment, les dépôts ALD thermiques ont des contraintes par rapport à la température de dépôt. La Figure 3.2.2 représente la fenêtre de température du fonctionnement ALD. Dans le cas où la température est trop haute, le premier réactif peut se décomposer sur la surface avant la réaction avec le deuxième réactif, ce qui produira un dépôt plus rapide. Si par contre le précurseur est stable, il peut se détacher de la surface avant de réagir avec le deuxième réactif, ce qui causera une baisse de la vitesse de dépôt. Dans le cas où la température est trop haute, plus d'une couche par cycle peut être adsorbée à la surface élevant la vitesse du dépôt. Également si le temps de réaction est plus long que celui d'un cycle, le temps n'est pas suffisant pour qu'une couche se forme à la surface. Le TMA par exemple se dissout à 300°C, la fenêtre de dépôt du Al_2O_3 thermique avec du TMA et du H_2O peut aller de 33°C à 300°C. Par contre, pour déposer du Ti en utilisant le $TiCl_4$ et le H_2 comme précurseurs, la température nécessaire à une telle réaction est de 2000°C. À cette température, tout le $TiCl_4$ se serait détaché de la surface. Le dépôt ne serait donc pas possible. Pour cette raison, pour enlever cette restriction sur la fenêtre de température, la solution est d'utiliser des radicaux hautement réactifs : un plasma [GEORGE 10].

3.2.4.2 Dépôt ALD assisté par plasma

Comme indiqué précédemment, plusieurs procédés ALD n'entrent pas dans la fenêtre de température décrite dans la Figure 3.1.6. Pour cette raison, il a été important d'introduire un procédé assisté par plasma. En faisant en sorte qu'un des réactifs soit un radical énergétique, la fenêtre de température peut être optimisée. Dans certains cas, des procédés à température ambiante sont possibles. L'énergie

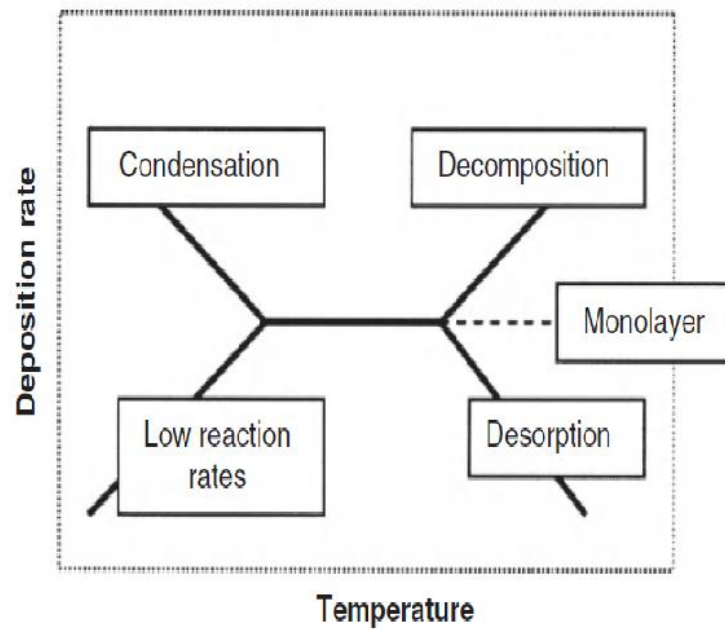


FIGURE 3.2.2 – Fenêtre de température ALD [VIOLET 08]

des radicaux libres peut participer dans les réactions à la surface du substrat (dans le cas de la recombinaison de deux radicaux d'une particule H_2 par exemple). Les avantages principaux qu'apporte l'utilisation de radicaux dans un procédé ALD sont les suivants :

- Réduction de la température du dépôt
- Augmentation de la fragmentation des molécules du précurseur
- Augmentation des choix possibles de précurseurs
- Amélioration des propriétés du matériau déposé

Dans notre cas, un plasma éloigné est utilisé pour la génération des radicaux. En effet plusieurs solutions sont possibles : un plasma séparé (la génération est effectuée dans une chambre autre que la chambre de réaction), ou bien un plasma direct (le substrat est « mis à la masse » et une électrode rapprochée est polarisée, dans le cas d'un plasma RF à 13.56MHz par exemple). Dans le premier cas, le substrat n'étant pas polarisé et la génération des radicaux étant éloignée, les radicaux réagissant en surface sont très rares. Dans le deuxième cas, il est difficile de contrôler la puissance du plasma qui peut finir par endommager le substrat. Dans notre cas, le plasma généré à distance ou « remote » mais dans la même chambre de réaction, le substrat n'est donc pas engagé dans la génération du plasma.

Comme le procédé de dépôt de l' Al_2O_3 a été présenté pour un dépôt ALD thermique, nous allons essayer de donner plusieurs détails sur le dépôt plasma tout en mettant en valeur les différences majeures entre le dépôt thermique et le dépôt plasma. En effet, le TMA commence à se décomposer à $300^\circ C$ et donc le dépôt à une température plus élevée sort du mode ALD. Plusieurs études rapportent des vitesses de dépôt allant de 0.9 à 1.3 \AA/cycle . Pour autant, des temps par cycle allant jusqu'à 1.5 seconde ont suffi pour former des couches d' Al_2O_3 . La contamination en carbone est plus basse que 0.5%, en même temps l'index de réfraction

est situé entre 1.65 et 1.70. La constante diélectrique est évaluée aux alentours de 7 [GEORGE 10, BENABOUD 09, VIOLET 08, PINNA 11].

3.3 Caractérisation de dispositifs MIM à base de Al_2O_3 et HfO_2 déposé par Plasma Enhanced ALD (PEALD)

3.3.1 Les structures tests

Toutes les structures décrites dans cette partie ont été fabriquées sur un substrat Si de type P . La surface du substrat a été passivée avec 500nm d'oxyde SiO_2 thermique. Cette couche est nécessaire pour éliminer les courants de fuite entre l'électrode inférieure et le substrat Si . Comme décrit précédemment, une couche de 10nm de Ti (couche d'accroche) a été évaporée sur la couche d'oxyde suivie d'une couche de 100nm de Pt qui va représenter l'électrode inférieure des dispositifs MIM. Les couches de Al_2O_3 et de HfO_2 ont été déposées par PEALD en utilisant le triméthyl d'aluminium (TMA) ($AlMe_3$) et le $Hf(NMe_2)_4$ comme précurseurs respectifs. Les deux précurseurs ont été chauffés à 75°C pendant que les dépôts ont été effectués à 250°C. Avant les dépôts, les résidus H_2O et O_2 sont pompés de la chambre de réaction pendant 1200s. Le cycle de dépôt commence par un pulse du précurseur [TMA ou $Hf(NMe_2)_4$] suivi d'une période de purge de ce dernier. Pendant que le flux de Ar est fixé à 200 sccm (Standard Cubic Centimeters per Minute), celui du O_2 est augmenté de 0 à 20 sccm. L'exposition au plasma à une puissance de 300W est réalisée pendant 20, 30 ou 40s. Après l'exposition au plasma, le flux de O_2 est remis à sa valeur initiale de 0 sccm. Ceci est suivi d'un temps d'attente nécessaire pour purger le produit de la réaction. Pour cette partie, en plus des dépôts de couches uniques de Al_2O_3 et de HfO_2 , des empilements intégrant les deux matériaux ont aussi été réalisés. Après le dépôt du diélectrique, un procédé de soulèvement a été utilisé pour définir des électrodes supérieures de 50nm de Pt déposé par pulvérisation cathodique pour améliorer l'accroche de la couche en évitant l'interface Oxyde-Titane. Les contacts supérieurs ont des surfaces allant de $40 \times 40 \mu m^2$ à $200 \times 200 \mu m^2$. Dans la Figure 3.3.1, nous pouvons identifier les ouvertures prévues dans la résine pour le dépôt des contacts d'une surface de $100 \times 100 \mu m^2$ et $200 \times 200 \mu m^2$. Dans la même figure, le dégagement « undercut » sous les bords de la photo-résine est de de $3 \mu m$. Ce dégagement est important pour procéder au soulèvement sans l'arrachement des contacts métalliques. Une deuxième étape de lithographie est effectuée pour créer une ouverture dans la périphérie de l'échantillon (étape 7 Figure 3.1.1). Après la lithographie et le développement, en utilisant une résine de type S1818, la résine est recuite une deuxième fois à 125°C pendant 4 min ce qui produit le durcissement de la résine et qui la rend résistante à la gravure par l'acide fluorhydrique HF. Une gravure au HF est effectuée pour accéder au contact inférieur (Figure 3.1.2). Le Tableau 3.1 résume les paramètres de dépôt de Al_2O_3 et de HfO_2 .

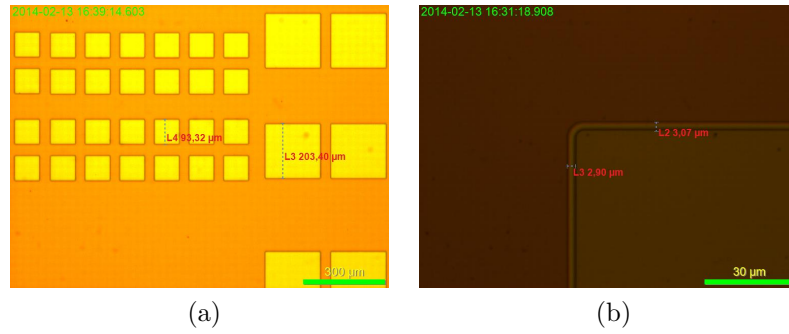


FIGURE 3.3.1 – Étape post-développement de la photo-résine pour le dépôt des contacts métalliques. a) Mesure des structures de contacts d’une surface de $93 \times 93 \mu\text{m}^2$ (initialement $100 \times 100 \mu\text{m}^2$) et de $200 \times 200 \mu\text{m}^2$. b) Mesure du dégagement sous la surface de la résine d’environ $3 \mu\text{m}$.

Tableau 3.1 – Paramètres PEALD pour le Al_2O_3 et le HfO_2 .

Matériau	Précurseur	Puissance	Temps d’exposition	Flux de gaz	Temp.	Vitesse
Al_2O_3	TMA	300W	20s, 40s	O_2 20sccm, Ar 200sccm	250°C	0.9Å/cycle
HfO_2	$\text{Hf}(\text{NMe}_2)_4$	300W	20s, 40s	O_2 20sccm, Ar 200sccm	250°C	0.9Å/cycle

3.3.2 Méthodes de caractérisation et de modélisations

Comme l’objectif de cette partie est l’investigation des propriétés électriques des jonctions tunnel, nous avons appliqué un protocole de caractérisation pour extraire les différents paramètres des diélectriques. Premièrement, l’épaisseur des couches déposées a été mesurée en utilisant un ellipsometre *in situ* HORIBA Jobin-Yvon à cinq positions différentes de chaque échantillon, pour des épaisseurs déposées différentes (50nm, 15nm, 10nm, 5nm) et pour chacun des matériaux. Une seconde vérification en utilisant un ellipsometre *ex situ* Jobin-Yvon UVISEL a été effectuée pour confirmer les premiers résultats. La vitesse de dépôt pour les deux diélectriques dans un procédé PEALD a été évaluée à 0.9Å/cycle. Ayant mesuré l’épaisseur, la mesure basse fréquence (1 kHz) de la caractéristique Capacité-Tension permet d’évaluer la constante diélectrique de chaque matériau. Après ceci, à partir de la mesure Courant-Tension, la masse effective et la hauteur de la barrière de potentiel ont été évaluées dans le régime FN (Fowler-Nordheim), à fort champ électrique, en utilisant le tracé FN [$\ln(J/E^2)$ vs $1/E$]. Finalement, en utilisant les paramètres extraits, la caractéristique Courant-Tension mesurée est comparée à des simulations en utilisant le modèle de matrices de transfert (Chapitre 2) ou bien un modèle Wentzel-Kramers-Brillouin (WKB) dans le régime FN. Les mesures de courant et de capacité ont été effectuées en utilisant un système de mesures Keithley 4200.

3.3.3 Résultats pour des couches uniques de Al_2O_3 et de HfO_2

Pour examiner la morphologie des différents dépôts, une comparaison a été faite entre des dépôts sur des substrats Si (après un traitement au HF) et les mêmes dépôts sur des substrats recouverts de 100nm de Pt (tel décrit précédemment).

La topographie des échantillons a été mesurée en utilisant un microscope à force atomique AFM en mode tapping. Les observations pour des couches Al_2O_3 et HfO_2 sont représentées dans les Figures 3.3.2 et 3.3.3. Concernant les deux matériaux, la racine carrée de la moyenne des carrés (RMS) de la rugosité des dépôts sur Si est inférieur à 0.2nm. Concernant les dépôts sur Pt, nous remarquons une augmentation de la rugosité et de la taille des grains. Ceci est dû au dépôt de Pt. La rugosité observée représente la rugosité du dépôt de la couche précédente. Cette valeur RMS de rugosité est inférieure à 0.8nm. Ces résultats sont convaincants, prouvant la très bonne uniformité des couches Al_2O_3 et HfO_2 déposées par PEALD [Kariniemi 12]. La technique a aussi été concluante quant à l'absence de défauts morphologique lors du dépôt.

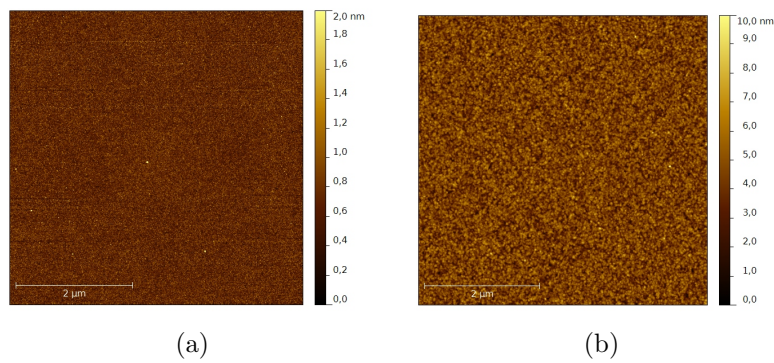


FIGURE 3.3.2 – Mesure topographique AFM par tapping sur une surface de $2\mu m^2$ pour un dépôt de 5nm Al_2O_3 sur un substrat a) Si et b) Si recouvert de 100nm de Pt

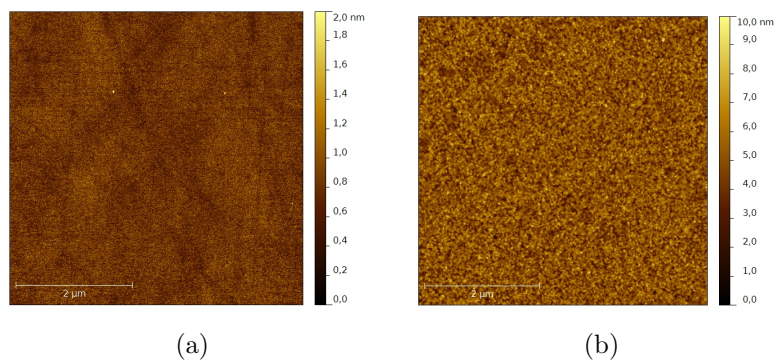


FIGURE 3.3.3 – Mesure topographique AFM par tapping sur une surface de $2\mu m^2$ pour un dépôt de 5nm HfO_2 sur un substrat a) Si et b) Si recouvert de 100nm de Pt

Comme il a été bien décrit dans les chapitres précédents, l'amélioration des performances du SET est, entre autres, liée à la baisse de la capacité de ses jonctions

tunnel. Pour cette raison, un des objectifs de cette partie est l'étude de la diminution de la capacité des MIM et de la constante diélectrique relative des matériaux étudiés. Ainsi, un recuit sous N_2 ou l'augmentation du temps d'exposition au plasma O_2 dans le bâti PEALD ont démontré un potentiel dans la diminution de la capacité ce qui peut être reliée à une diminution de la constante diélectrique des matériaux. Bien évidemment, les épaisseurs ont été comparées avant et après chaque recuit (ou exposition plus longue au plasma) pour s'assurer que l'épaisseur du diélectrique n'a pas augmenté.

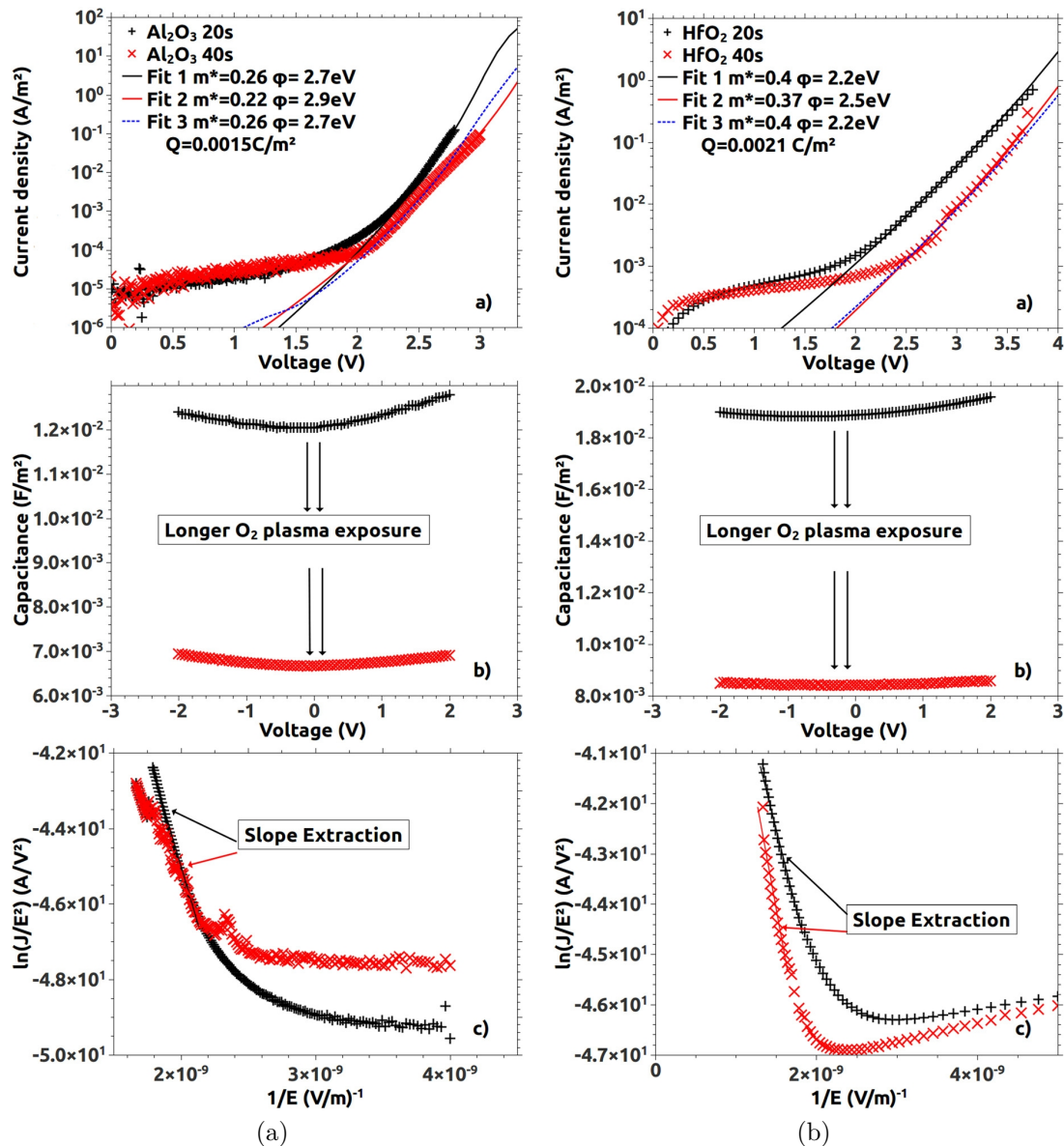


FIGURE 3.3.4 – Effet de la durée d'exposition au plasma O_2 , 20s ou 40s pour l' Al_2O_3 (gauche) et de l' HfO_2 (droite) sur les propriétés électriques ; (a) J-V, (b) C-V et (c) tracé FN, mesuré à 300K [El Hajjam 14].

Les courbes C-V, J-V et les tracés FN de l' Al_2O_3 et l' HfO_2 (pour une exposition in

situ au plasma O_2 de 20s et 40s) sont représentées dans la Figure 3.3.4. Pour chacun des diélectriques, nous comparons l'effet du temps d'exposition au plasma O_2 sur la capacité et la caractéristique Courant-Tension. D'abord, il est clairement illustré dans les parties b) de la Figure 3.3.4, pour les deux matériaux, que l'augmentation du temps d'exposition au plasma de 20s à 40s dans chaque cycle PEALD a pour effet la réduction importante de la capacité. Dans la Figure 3.3.7, la capacité de l' Al_2O_3 a été réduite à $6.7mF/m^2$ et à $8.4mF/m^2$ pour le HfO_2 . Si nous traduisons cette mesure en terme de constante diélectrique, nous pouvons prétendre à une réduction de la permittivité apparente de 7.2 à 4.2 pour l' Al_2O_3 et de 12.1 à 5.5 pour le HfO_2 en passant de 20s à 40s d'exposition au plasma O_2 .

La diminution de la capacité mesurée peut être attribuée à plusieurs facteurs. Parmi ces facteurs : la diminution de la constante diélectrique de la structure, l'augmentation de l'épaisseur ou une combinaison des deux phénomènes. Les mesures ellipsométriques et le changement très bas du niveau du courant tunnel sont des preuves que l'épaisseur n'est pas la cause de cette diminution de la capacité. Pendant l'exposition au plasma, une couche mince à l'interface Pt-diélectrique peut être formée. Par contre cette interface ne peut avoir une épaisseur suffisante pour expliquer le phénomène [Ophus 13]. Le changement peut être dans la structure ou la chimie du diélectrique (Ratios O/Al et O/Hf ou contamination en carbone). Il a été reporté que la durée du pulse de plasma O_2 n'est pas directement liée à la vitesse de dépôt de l' Al_2O_3 et que le ratio O/Al est plus faible pour des pulses plus longs [Kaariainen 09]. Nous supposons donc que l'exposition au plasma O_2 dans un premier temps produit la rupture avec le groupe $-CH_3$ à l'aide des radicaux d'oxygène, pour que plus tard cette exposition allongée produise un réseau plus dense et amorphe de $Al - O - Al$, ce qui est aussi en accord avec la réduction du ratio O/Al [Jinesh 11].

Pour vérifier les arguments avancés, une analyse XPS (X-ray photoelectron spectroscopy) a été réalisée sur deux échantillons d' Al_2O_3 déposés sur un substrat de platine. Le premier a été exposé à 20s au plasma O_2 tandis que le deuxième a été exposé à 40s au plasma O_2 . Cette méthode physique d'analyse chimique permet de mesurer l'énergie cinétique des photo-électrons après une irradiation aux rayons X. Ceci nous permet donc d'avoir un spectre de l'intensité des électrons en fonction de l'énergie mesurée. Les Figures 3.3.5 et Figure 3.3.6, représentent les résultats XPS soit les CPS (Counts per second electron Volts) de chacune des couches en fonction de l'énergie des liens (en eV). Le Tableau 3.2 résume les concentrations en termes d'éléments et de masses pour chacune des deux couches. Effectivement nous remarquons une légère diminution de l'oxygène et de l'aluminium dans la couche exposée 40s au plasma. Cette diminution est fortement corrélée à l'augmentation de la concentration de Carbone dans cette couche. Nous pouvons conclure que les changements du comportement électrique des couches exposées plus longtemps au plasma O_2 sont certainement dus à l'augmentation de la concentration de Carbone dans la couche. Dans les deux cas le ratio O/Al reste égale à 2.17.

Les caractéristiques Courant-Tension sont représentées dans les parties a) de la Figure 3.3.4. Les pentes des tracé FN (parties c) de la Figure 3.3.4) ont été calculées

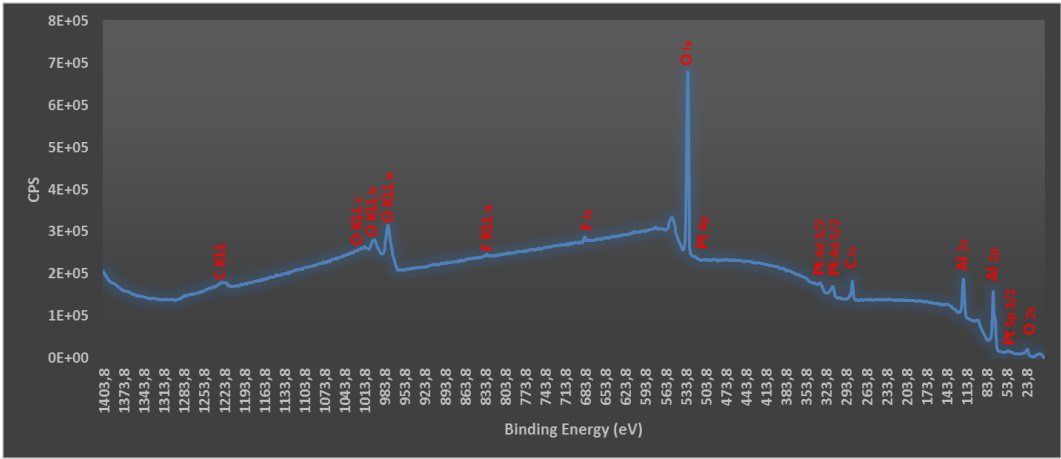


FIGURE 3.3.5 – Résultats de l’analyse XPS sur un échantillon de 5nm d’ Al_2O_3 déposé avec une exposition de 20s au plasma O_2

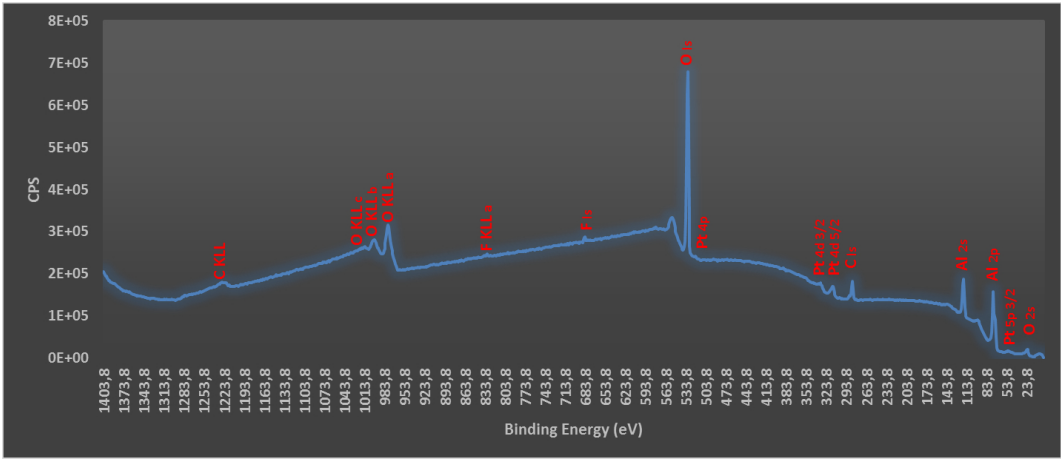


FIGURE 3.3.6 – Résultats de l’analyse XPS sur un échantillon de 5nm d’ Al_2O_3 déposé avec une exposition de 40s au plasma O_2

Tableau 3.2 – Comparaison des résultats XPS pour deux échantillons de 5nm d’ Al_2O_3 exposés à 20s et à 40s au plasma O_2

Éléments	Al_2O_3 exposé 20s au plasma O_2		Al_2O_3 exposé 40s au plasma O_2	
	% Concentration	% Mass Concentration	% Concentration	% Mass Concentration
O	57.72	45.46	55.03	43.46
Al	26.55	35.27	25.3	33.7
C	13.86	8.19	18.25	10.82
Ti	1.08	10.34	1.23	11.84
Cl	0.79	0.74	0.19	0.18

pour des champs électriques élevés et pour les quatre diélectriques étudiés. En utilisant la valeur de la pente, la hauteur de barrière Φ et la masse effective m^* peuvent être extraites. Ces valeurs ont plus tard été vérifiées en comparant avec la caractéristique J-V expérimentale, pour un champ électrique élevé (dans les parties a) de la Figure 3.3.4). Les valeurs des paramètres extraits sont décrits dans le Tableau 3.3.

Nous pouvons remarquer que le courant tunnel est réduit d'approximativement une décade d'ampère/m². Dans les parties a) de la Figure 3.3.4, ceci est associé à un décalage vers la droite de la caractéristique du courant pour une polarisation positive. Comme le rajout d'une charge négative dans le volume du diélectrique peut causer l'élévation de la barrière de potentiel, ce décalage peut être attribué à une densité plus élevée de charges négatives [Busseret 03]. En effet, il est souvent rapporté que les couches minces de Al_2O_3 et de HfO_2 peuvent avoir une densité importante de charges négatives fixes [Suh 13, Morato 12]. L'existence des charges négatives fixes peut être due à l'impact des radiations UV dans le vide du plasma. En effet, la densité des charges négatives est proportionnelle au temps d'exposition au plasma [Dingemans 12, Profijt 11]. Effectivement, dans les parties a) de la Figure 3.3.4 le rajout de charges négatives aux paramètres de simulation des courbes à 20s d'exposition (0.0015 C/m^2 pour l' Al_2O_3 et 0.0021 C/m^2 pour le HfO_2) produit des caractéristiques proches des courbes à 40s d'exposition. Par contre, la diminution des constantes diélectriques suggère un changement structurel et chimique qui devrait impacter les niveaux de courant. Du point de vue du comportement électrique, ce changement peut être modélisé par une modification de la barrière de potentiel Φ et de la masse effective m^* .

Tableau 3.3 – Paramètres extraits à 300K. C est la capacité surfacique, $\Phi(\text{eV})$ est la hauteur de la barrière en eV, m^* la masse effectif, $J_{th}(\text{A/m}^2)$ la densité de courant thermoionique, $J_{tu}(\text{A/m}^2)$ la densité de courant tunnel pour un potentiel appliqué de 2V, et $E_c = e^2/C_\Sigma$ est l'énergie de charge pour un SET ayant deux jonctions tunnel d'une surface de 20nm^2 .

Matériau	t plasma	épaisseur	C(mF/m ²)	$\Phi(\text{eV})$	m^*	$J_{th}(\text{A/m}^2)$	$J_{tu}(\text{A/m}^2)$	$E_c(\text{eV})$
Al_2O_3	20s	5nm	12.04	2.7	0.26	$< 10^{-10}$	0.0002	0.31
	40s	5nm	6.67	2.9	0.22	$< 10^{-10}$	0.0001	0.53
HfO_2	20s	5nm	18.87	2.2	0.4	$< 10^{-10}$	0.0015	0.19
	40s	5nm	8.43	2.5	0.37	$< 10^{-10}$	0.0007	0.41
Crested U 20s	20s	6nm	14.4	-	-	$< 10^{-10}$	0.5769	0.26
Crested U 40s	40s	6nm	10.3	-	-	$< 10^{-10}$	0.0521	0.36

L'effet du recuit sous N_2 sur la capacité et le courant tunnel a aussi été investigué et les résultats sont représentés dans la Figure 3.3.8. Les couches d' Al_2O_3 et de HfO_2 ont été recuites sous N_2 à 450°C pendant 5min, 10min et 20min. La température de recuit a été choisie pour garder le procédé compatible Back End Of Line du CMOS. Les capacités mesurées après 5 min de recuit montrent une diminution considérable. Ces valeurs ont tendance à se stabiliser à partir de 10min de recuit. La capacité diminue de 11.5mF/m^2 à 9.2mF/m^2 pour l' Al_2O_3 et de 18.5mF/m^2 à 14.2mF/m^2 pour le HfO_2 . Dans la même figure, pour l' Al_2O_3 comme pour le HfO_2 , nous

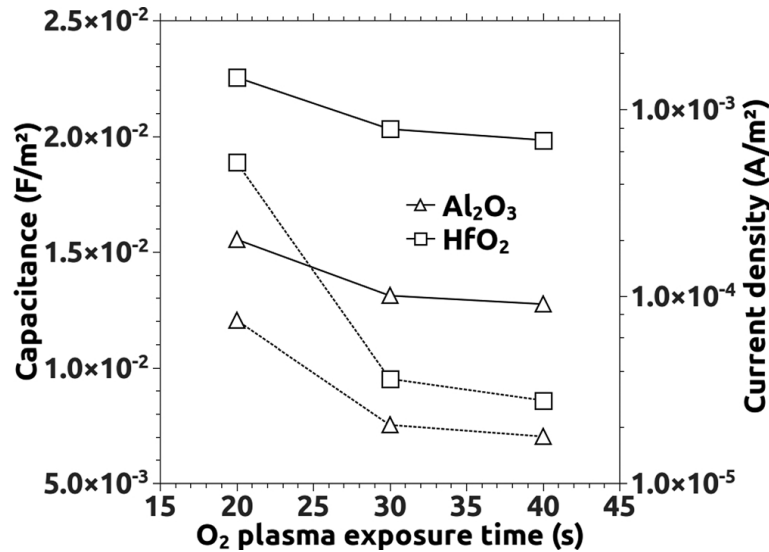


FIGURE 3.3.7 – Effet du temps d'exposition au plasma O_2 *in situ* à 300W sur la capacité surfacique (lignes discontinues) et la densité de courant à 2V (lignes continues) de Al_2O_3 et du HfO_2 .

remarquons une légère diminution du courant après les recuits sous N_2 à 450°C (moins de $30\mu A/m^2$ pour l' Al_2O_3 et $45\mu A/m^2$ pour le HfO_2). Comme la capacité est inversement proportionnelle à l'épaisseur alors que le courant tunnel est inversement proportionnel à l'exponentielle de celle-ci, il est évident qu'un léger changement dans l'épaisseur aurait eu un impact considérable sur le courant tunnel. Cet argument est conforté par les mesures par ellipsométrie qui démontrent que l'épaisseur des couches n'a subi aucun changement mesurable. En conclusion, nous attribuons la diminution de la capacité et du courant tunnel au changement structurel dans le diélectrique. En effet, le recuit sous N_2 à 450°C peut produire ce genre de changement de la structure du diélectrique en impactant la concentration en oxygène et des zones vacantes en oxygène [Lukosius 12].

3.3.3.1 Caractérisation des états d'interfaces de l' Al_2O_3

Suite aux caractérisations précédentes, nous avons émis l'hypothèse de l'existence d'états d'interface et de charges fixes dans le diélectrique déposé par ALD. Pour cette raison, des structures MIS (Metal-Insulator-Semiconductor) ont été fabriquées et caractérisées. Ces résultats sont décrits dans cette partie. La fabrication des structures MIS est similaire à la fabrication des structures MIM. Dans le cas des dispositifs MIS étudiés ci-dessous, les étapes de fabrication sont les suivantes :

1. Désoxydation au HF du substrat Si dopé P à $10^{15}cm^{-3}$
2. Une étape de dépôt de l' Al_2O_3 en utilisant la recette standard à 20s d'exposition au plasma O_2 . Le nombre de cycle a été fixé à 55 cycles pour maintenir une épaisseur d'environ 5nm
3. Dépôt de l'électrode Pt supérieure par pulvérisation cathodique en utilisant un procédé de Lift-Off (comme décrit précédemment).

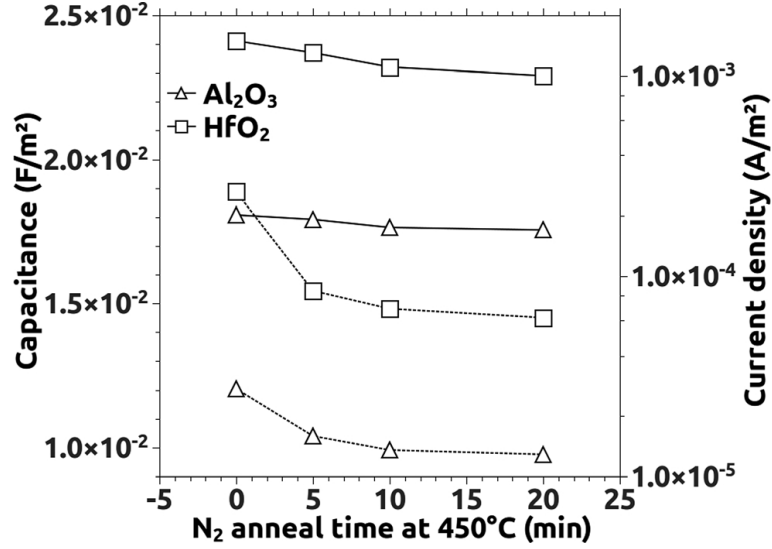


FIGURE 3.3.8 – Effet du temps de recuit sous N_2 à $450^\circ C$ sur la capacité surfacique (lignes discontinues) et la densité de courant à 2V (lignes continues) de Al_2O_3 et du HfO_2 .

Suite à la fabrication, des mesures C-V ont été réalisées par Sophie Rollet sur ces échantillons. Les caractéristiques C-V mesurées sont représentées dans la Figure 3.3.9 pour les fréquences 1kHz, 10kHz, 100kHz et 1MHz. Une simulation d'une caractéristique C-V idéale a aussi été réalisée pour l'extraction des charges fixes dans le diélectrique. Pour la simulation de la structure, deux couches ont été prises en compte : 1) une couche d' Al_2O_3 ayant une épaisseur de 4.5nm et une permittivité relative de 7.5, 2) une couche interfaciale de SiO_2 ayant une épaisseur de 0.5nm et une permittivité relative de 3.9. La simulation de cette structure donne une capacité de l'oxyde $C_{OX} = 1.22 \times 10^{-4} F/cm^2$. Nous remarquons donc un décalage clair de la courbe mesurée par rapport à la courbe idéale. Ce décalage est dû aux charges fixes positives (décalage vers la droite) dans le bulk ou l'interface du diélectrique [Sze 86]. Ces charges peuvent être quantifiées à l'aide de la formule :

$$Q_{OX} = -C_{OX} \Delta V_{FB} \quad (3.1)$$

La charge est donc évaluée à $0.729 C/m^2$. Cette valeur représente la totalité des charges dans le diélectrique. Comme précédemment, nous avons relevé la présence de charges négatives dues au rayonnement du plasma, il n'est pas impossible que la valeur de la charge effective reste positive. Nous sommes en présence d'un matériau qui a une densité importante de charges ce qui peut généralement provoquer une détérioration de la caractéristique électrique des dispositifs MIM et aussi des SET.

D'après la même Figure 3.3.9, il est possible d'en déduire que, sauf à fréquence élevée, autrement dit à $f = 1MHz$, la capacité en accumulation est indépendante de la fréquence du signal. La chute de la valeur de la capacité mesurée pour la fréquence $f = 1MHz$ s'explique par l'utilisation d'un modèle CPG (C en parallèle à G) et non CSRS (C en série avec R) qui serait mieux adapté aux mesures à hautes fréquences. De plus, la « bosse » observée est due aux états d'interfaces [Flynn 10].

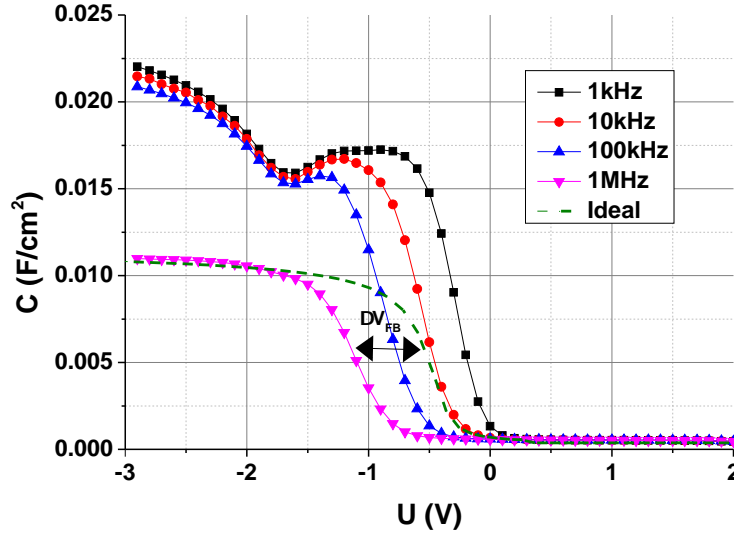


FIGURE 3.3.9 – Mesure C-V à différentes fréquences d’une structure MIS. Comparaison à la simulation d’une structure idéale et extraction du décalage de la bande plate.

Plus la fréquence augmente moins ces défauts sont visibles. Ils sont pratiquement totalement gommés pour la fréquence $f = 1MHz$. Ces états d’interfaces peuvent donc être extraits par la méthode haute et basse fréquence combinée [Sze 86]. Cette étude de la densité d’états d’interface est réalisée à partir des données brutes de la capacité. Ainsi, la Figure 3.3.10 donne la variation de la densité d’états d’interface en fonction de leur position énergétique. Le pic autour de 1eV représente une densité élevée d’états d’interface. Ce résultat vient confirmer les remarques précédentes.

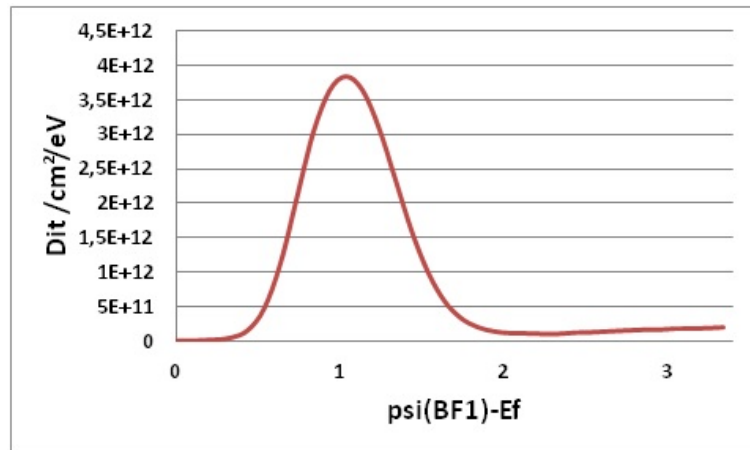


FIGURE 3.3.10 – Variation de la densité d’états d’interface par la méthode haute et basse fréquence combinée en fonction de leur position dans le gap

3.3.4 Résultats pour des empilements de couches de Al_2O_3 et de HfO_2 : barrières multi-couches

Le premier SET fabriqué par le procédé nanodamascène intègre des jonctions tunnel ayant une couche unique de TiO_x [Dubuc 09]. La hauteur de la barrière de potentiel de ce matériau, étant faible : 0.35 eV, elle assure une conduction importante par courant tunnel, mais la conduction dominante à température ambiante reste l'émission thermoionique [Dubuc 09]. Dans cette partie, nous étudierons le comportement électrique à travers plusieurs structures multi-couches « crested barriers » dans l'objectif d'essayer d'optimiser le courant : une transparence élevée au courant tunnel tout en bloquant une grande partie du courant thermoionique à champ électrique modéré [Dubuc 09, Likharev 99]. Comme il a été présenté dans le chapitre 2, une jonction tunnel de type VARIOT/R-VARIOT peut être la solution à cette problématique [Govoreanu 03b].

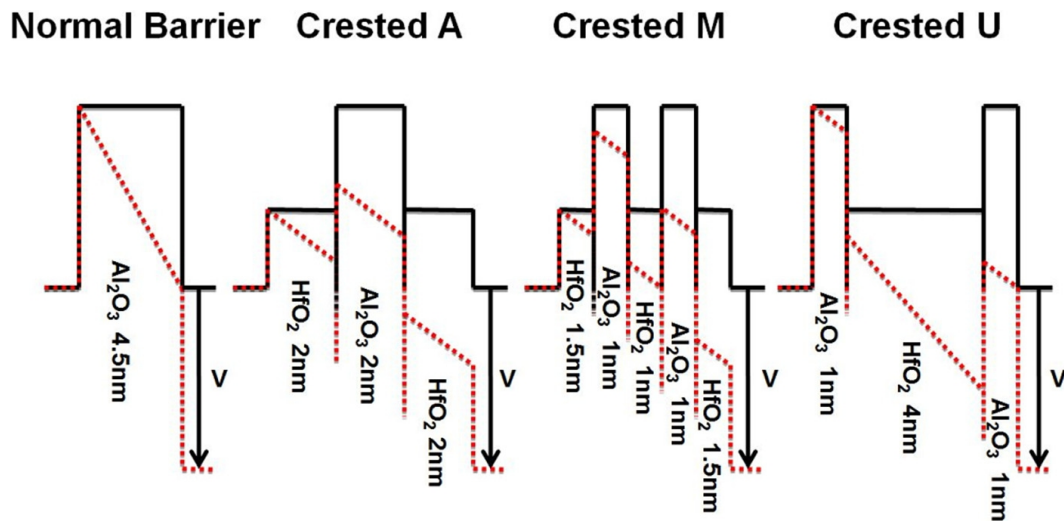


FIGURE 3.3.11 – Schéma représentant les diagrammes de bandes d'énergie pour différentes structure multi-couches de type A, M et U en plus d'une structure formée d'une couche unique. Les épaisseurs de chaque couche sont indiquées dans le schéma.

En alternant les procédés ALD d' Al_2O_3 et de HfO_2 précédemment décrits, nous réalisons les jonctions tunnel de type « crested » à base d'empilements des deux matériaux comme présenté dans la Figure 3.3.11. De plus, le choix de l' Al_2O_3 et du HfO_2 peut être élargi à plusieurs autres matériaux diélectriques. L' Al_2O_3 et l' HfO_2 empilés ont été déposés en utilisant un temps d'exposition au plasma O_2 de 20s. De plus, les structures U et A ont aussi été réalisées en utilisant un temps d'exposition au plasma O_2 de 40s pour étudier l'effet d'une exposition plus longue sur les caractéristiques de la jonction tunnel. Des mesures C-V et J-V ont été réalisées pour comparer les différentes structures de type « crested » à la jonction composée de 4.5nm d' Al_2O_3 . L'objectif étant de pouvoir améliorer la transparence de la jonction tunnel pour la même (ou une plus forte) épaisseur effective de l'oxyde (EOT : Effective Oxide Thickness).

Dans la Figure 3.3.12-b), les mesures C-V confirment que les structures déposées en utilisant un temps d'exposition au plasma O_2 de 20s ont la même capacité ($\sim 14.3\text{mF/m}^2$). Les structures déposées en utilisant un temps de 40s d'exposition au plasma O_2 ont quant à elles une capacité plus faible. Ces structures, par contre, ont des capacités différentes : 10.3mF/m^2 pour la structure U et 9.0mF/m^2 pour la structure A. Les capacités mesurées sont aussi plus élevées que la valeur attendue qui est de $\sim 8\text{mF/m}^2$. L'exposition plus longue au plasma O_2 a donc probablement favorisé la formation d'interfaces Al_2O_3 - HfO_2 différentes.

Pour les mêmes capacités mesurées, nous remarquons dans la Figure 3.3.12-a) qu'avec les différents empilements d' Al_2O_3 et de HfO_2 (qui ont des hauteurs de barrière et des constantes diélectriques différentes), nous avons pu réaliser des jonctions tunnel ayant des courants plus élevés que celui de la jonction de référence : 4.5nm d' Al_2O_3 à fort champ alors que le courant à faible champ est plus faible (spécialement pour les structures U). Concernant les structures ayant eu une exposition de 20s au plasma O_2 , nous observons que le courant est plus élevé que pour la jonction de référence à partir de 0.5V de potentiel appliqué. Nous remarquons aussi que les structures A et M ont des caractéristiques qui se superposent avec un courant élevé à bas champ électrique. La structure U, quant à elle, a un courant nettement plus élevé à partir de 1V de potentiel appliqué : Ces différences en termes de caractéristiques sont étroitement liées à l'empilement de chacune des structures. Dans une structure spécifique, la chute de tension dans chacune des couches est liée à sa propre constante diélectrique, son épaisseur et à la chute de tension dans les autres couches de la structure. En considérant la structure U comme exemple, la chute de tension dans la troisième couche correspond à la chute de potentiel de la deuxième couche plus la chute de potentiel de la première. En conséquence, l'élévation du courant à travers cette structure est importante à cause de cette troisième couche qui devient complètement transparente au passage des électrons, alors que le courant à travers les première et deuxième couche sont déjà dans un mode de conduction Fowler-Nordheim (barrière triangulaire). Dans ce cas précis, nous pouvons dire que l'épaisseur effective de la jonction tunnel est considérablement réduite ce qui augmente la transparence de la jonction pour des potentiels spécifiques [Dubuc 08a]. Plusieurs structures semblables à la structure U ont précédemment été fabriquées et mesurées [Son 11]. L'empilement de ces jonctions tunnel est composé de $2\text{nm } Al_2O_3$ - $1\text{nm } HfO_2$ - $3\text{nm } Al_2O_3$. Comparé à ces structures, notre structure U est dans le même ordre de grandeur en terme de densité de courant ($\sim 1\text{A/m}^2$ à 2V de potentiel appliqué) [Son 11]. Comme prévu, les structures exposées à 40s de plasma O_2 présentent des caractéristiques J-V plus faibles. L'augmentation de la densité de charges négatives fixes peut être la cause de cette baisse de courant. Par contre, la structure U exposée à 40s de plasma O_2 garde un courant élevé pour une capacité considérablement plus faible la rendant très attractive pour une application SET. Il reste à évaluer l'effet des charges sur le phénomène de blocage de Coulomb.

Pour faciliter la comparaison, plusieurs paramètres sont résumés dans le Tableau 3.3. Pour chacune des capacités, l'énergie de charge a été calculé pour une surface de jonction tunnel de 20nm^2 , ce qui correspond à la dimension des SET précédemment fabriqués dans l'équipe [Hu 03, Han 13]. Nous pouvons déjà remarquer que les structures étudiées ont une énergie de charge satisfaisante ($e^2/C_\Sigma > 0.13\text{eV}$) pour qu'un

SET puisse opérer à température ambiante. Il faut noter qu'avec les hauteurs de barrière des matériaux étudiés ($\Phi > 2.2eV$), le courant thermoionique est très faible (ou pas du tout mesurable) alors que le courant tunnel reste élevé. Concernant la structure U (exposée à 20s et 40s de plasma O_2), le niveau de courant est important comparé aux autres structures alors que l'énergie de charge est plus élevée que $5k_B T$ à 300K et le courant thermoionique est plus faible que les limites de la mesure.

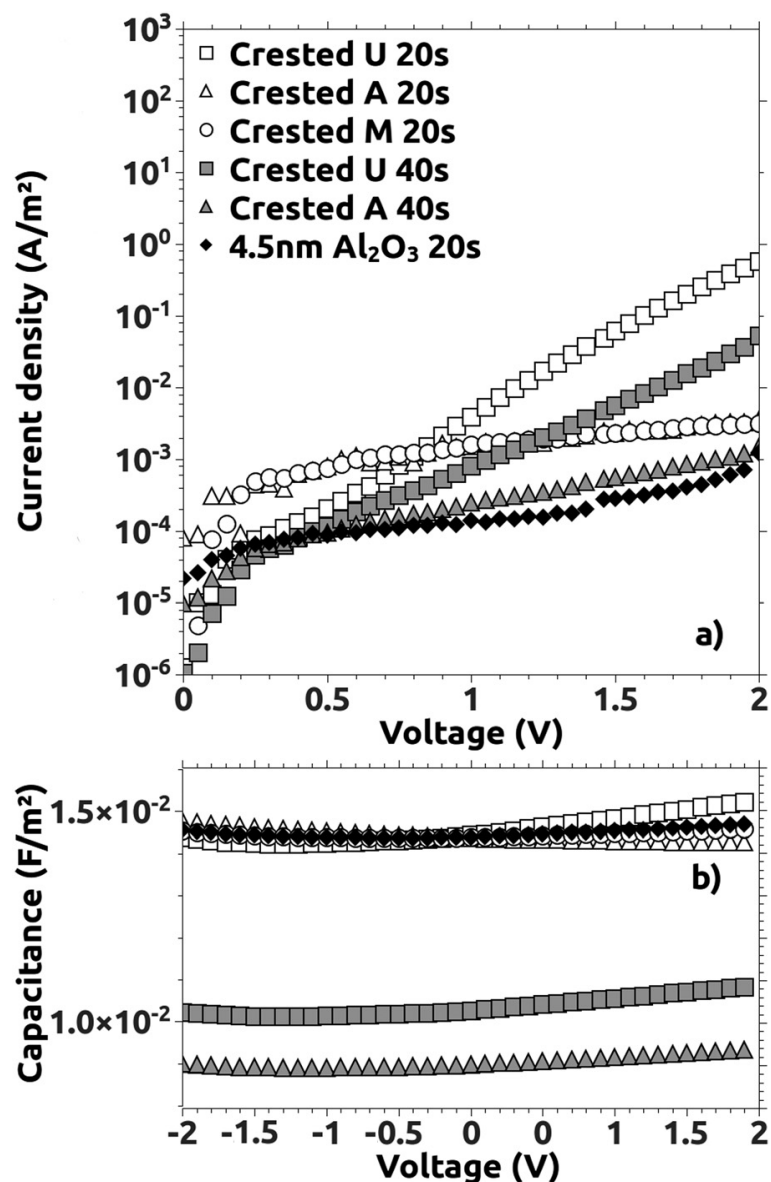


FIGURE 3.3.12 – Mesures électriques (a) J-V et (b) C-V des jonctions tunnel composées de barrières multi-couches.

3.4 Conclusion

Dans ce chapitre, nous démontrons les avantages du dépôt par couche atomique assisté par plasma (PEALD) pour le développement de dispositifs pour la micro-électronique. Dans cette étude, nous avons réussi à améliorer les caractéristiques électriques de nos jonctions tunnel à intégrer dans le SET pour optimiser son fonctionnement à température ambiante. En effet, ces jonctions tunnel demandent une faible capacité, un courant tunnel élevé et un courant thermoionique faible. Les faibles capacités ont été obtenues en procédant à des recuits sous gaz ou à l'exposition aux radicaux du plasma de l' Al_2O_3 et de l' HfO_2 . Nous avons aussi réussi à améliorer clairement la conduction des jonctions tunnel en réalisant plusieurs empilements différents des mêmes matériaux tout en abaissant drastiquement les valeurs de la conduction thermoionique. Par contre, la présence de charges et de défauts dans les matériaux a été observée, et des travaux complémentaires devront être réalisés pour corriger ces défauts. L'ingénierie de la jonction tunnel reste donc une voie pertinente pour améliorer les caractéristiques du SET métallique et étendre son fonctionnement en température. Cette amélioration vise surtout l'augmentation du ratio I_{ON}/I_{OFF} nécessaire pour pouvoir réaliser des fonctions logiques à base de SET. L'étape suivante est donc de prouver l'intérêt des jonctions tunnel décrites dans les chapitres 2 et 3 pour l'application SET. Dans le chapitre suivant, nous allons réaliser des simulations de différentes architectures de SET intégrant des jonctions tunnel optimisées.

Chapitre 4

Modélisation et simulation du transistor à un électron : amélioration des performances grâce à l'ingénierie de barrière

Dans les chapitres précédents, nous avons démontré l'intérêt du développement d'une jonction tunnel optimisée en simulation (Chapitre 2), puis nous avons travaillé sur les techniques de dépôt et de traitements des oxydes pour fabriquer des jonctions à effet tunnel optimisées. Dans ce chapitre, nous travaillerons sur l'implémentation des jonctions tunnel optimisées dans le cadre d'un simulateur de transistor à un électron SET et ceci pour pouvoir prouver l'intérêt de ces jonctions tunnel (de type R-VARIOT) pour améliorer la caractéristique électrique du SET et aussi son comportement en température.

4.1 Rappel de la Théorie Orthodoxe

Dans cette partie, les caractéristiques Courant-Tension du SET sont simulées avec une implémentation de la théorie orthodoxe [Likharev 99, Averin 86]. Cette théorie pose les hypothèses suivantes :

- La charge électronique est discrète.
- L'énergie continue.
- La résistance de la jonction tunnel est $R \gg 26k\Omega$
- L'absence du co-tunneling : deux électrons ne peuvent transiter par effet tunnel au même moment.

Les équations nécessaires pour le calcul des caractéristiques Courant-Tension (tensions drain-source et grille) $I(V_{gs}, V_{ds})$ sont :

- Le changement de l'énergie libre (free energy) $\Delta F_{i \Rightarrow d, s}$ lors du passage d'un électron de l'îlot au drain ou à la source (ou dans le sens opposé).
- La fréquence des événements tunnel $\Gamma_{i \Rightarrow d, s}$ de l'îlot au drain ou à la source (ou dans le sens opposé).
- La probabilité $P(n)$ de trouver n électrons dans l'îlot extraite par une méthode

réursive de l'équation maitresse à l'état stable.

Le changement de l'énergie libre du système après et avant chaque évènement tunnel peut être calculé d'après la formule de Tucker [Tucker 92] :

$$\Delta F_{i \rightleftharpoons d,s} = \frac{|e|^2}{C_\Sigma} + |e|V_{i \rightleftharpoons d,s} \quad (4.1)$$

C_Σ est la capacité totale de l'îlot et $V_{i \rightleftharpoons d,s}$ est la différence de potentiel entre l'îlot et le drain (ou entre l'îlot et la source et aussi dans le sens opposé) et e est la charge élémentaire. Ce changement dans l'énergie libre du système impacte considérablement la fréquence des évènements tunnels $\Gamma_{i \rightleftharpoons d,s}$, même quand ces évènements sont complètement aléatoires. La fréquence est calculée à partir de la règle d'or de Fermi, le changement dans l'énergie libre $\Delta F_{i \rightleftharpoons d,s}$ et la résistance équivalente $R_{i \rightleftharpoons d,s}$ de la jonction tunnel :

$$\Gamma_{i \rightleftharpoons d,s}(R_{i \rightleftharpoons d,s}, \Delta F_{i \rightleftharpoons d,s}) = \frac{1}{R_{i \rightleftharpoons d,s}|e|^2} \times \left(\frac{-\Delta F_{i \rightleftharpoons d,s}}{1 - \exp(\Delta F_{i \rightleftharpoons d,s}/k_B T)} \right) \quad (4.2)$$

k_B représente la constante de Boltzmann. L'équation maîtresse quant à elle décrit la probabilité $P(n)$ d'avoir un état avec n électrons dans l'îlot sous des polarisations $V_{gs1,2}$ et V_{ds} (polarisation de la grille 1, de la grille 2 et polarisation source-drain). À l'état stable le système est équilibré. Le nombre d'électrons arrivant dans l'îlot est le même que le nombre d'électrons quittant l'îlot. Ce comportement est décrit par la nullité de la dérivée par rapport au temps :

$$\frac{dP(n)}{dt} = 0 \quad (4.3a)$$

À partir de l'équation (4.3a) en supposant un état stable et un équilibre entre les deux directions de transmission tunnel, l'équation maîtresse peut être écrite comme suit [Hanna 91][Likharev 87].

$$P(n+1) = \frac{\Gamma_{i \leftarrow d}(n) + \Gamma_{i \leftarrow s}(n)}{\Gamma_{i \rightarrow d}(n+1) + \Gamma_{i \rightarrow s}(n+1)} \times P(n) \quad (4.3b)$$

Une fois toutes ces équations définies, et après la normalisation de la probabilité, le courant du SET peut être calculé pour une polarisation spécifique de la grille et des source-drain V_{gs} et V_{ds} , en supposant que N_{opt} est le nombre le plus probable d'électrons dans l'îlot.

$$I(V_{gs}, V_{ds}) = e \times \sum_{N_{opt}-\Delta N}^{N_{opt}+\Delta N} P(n) (\Gamma_{i \rightarrow d}(n) - \Gamma_{i \leftarrow d}(n)) \quad (4.4)$$

Pour avoir une précision de calcul satisfaisante avec un temps de calcul acceptable, nous ajoutons un nombre limité d'états ΔN .

Notre apport concerne l'utilisation d'une résistance calculée en fonction des propriétés des matériaux et de la polarisation (équation 4.2), comme décrit dans les paragraphes suivants.

4.2 Le calcul de la résistance

Jusqu'à ce jour, les simulateurs de SET basés sur la théorie orthodoxe comme MOSES [Chen 96] et SIMON [Wasshuber 97] ont tous utilisé une valeur constante $R_{i=d,s}$ pour la résistance de la jonction tunnel du SET, comme il est proposé par la théorie orthodoxe elle-même [Kulik 75, Zeller 69, Averin 86]. En effet, il était concevable d'utiliser une résistance constante pour simuler des SET fonctionnant à très basses températures et à des polarisations très faibles. Sous ces conditions, la jonction tunnel délivre un courant qui est approximativement proportionnel à la tension appliquée.

Pour une plage plus large de températures et de polarisations arbitraires, la probabilité qu'un électron traverse la barrière de potentiel de la jonction par effet tunnel peut être obtenue par un calcul de la caractéristique du courant à travers les jonctions tunnel du SET. Le travail de C.Dubuc, A.Beaumont, M.Guilmain et plus tard M.A.Bounouar, a mené au développement du simulateur MARSSEA (Master Equation Resolution for the Simulation of Single Electron Artifacts) pour la simulation du SET incluant un calcul du courant à travers chacune de ses deux jonctions tunnel avec un modèle WKB [Dubuc 09, GUILMAIN 13b, Bounouar 13]. Dans le cadre de ce travail, nous avons développé, à partir de la plate-forme MARSSEA, un simulateur MARSSEA-TM (Transmission matrix), calculant la transparence à partir du formalisme des matrices de transmission (explicité dans le chapitre 2) [Govoreanu 03d]. Le courant peut alors être calculé en intégrant le produit de la transparence et de la fonction d'approvisionnement sur le spectre d'énergie comme il est décrit dans la formule (2.12) du chapitre 2. Ce simulateur, en plus d'améliorer le calcul du courant tunnel, étend ce calcul pour des SET ayant des jonctions tunnel à multiples diélectriques. La résistance, pour des valeurs de polarisation de la source et de drain $V_{i=d,s}$, peut donc être déduite du calcul du courant à partir de la tension.

$$R_{i=d,s}(T, V_{i=d,s}) = V_{i=d,s} / (J \times Area) \quad (4.5)$$

4.3 Flot de fonctionnement du simulateur MARSSEA-TM

Le diagramme de la Figure 4.3.1 représente le flot de fonctionnement du simulateur MARSSEA qui permet de calculer le courant dans un SET [Bounouar 13, Dubuc 09]. Dans la plate-forme MARSSEA de calcul des événements tunnel, au départ, les valeurs des potentiels V_{gs} et V_{ds} sont données comme entrées au simulateur, ceci sert à calculer le changement d'énergie ΔF et aussi le courant tunnel direct en prenant en compte les valeurs de permittivité, masse effective, épaisseur et hauteur de barrière du diélectrique. A partir du courant calculé pour un potentiel donné, la valeur de la résistance tunnel est calculée. Combinée à la fréquence tunnel Γ , nous obtenons la probabilité $P(n)$ du passage d'un électron d'une électrode à l'autre électrode dans le SET et finalement les caractéristiques de courant $I_{ds} - V_{ds}$ et $I_{ds} - V_{gs}$ du SET simulées. Le courant thermoïonique, quant à lui, est ajouté au courant du SET pour chaque potentiel appliqué. A partir de ce diagramme, nous pouvons donc

identifier le lien pour intégrer les nouveaux modèles de calcul de courant (tunnel et thermoïonique) dans le simulateur MARSSEA.

Le développement du simulateur MARSSEA-TM se base principalement sur la plate-forme MARSSEA de calcul des événements tunnel. En utilisant le calcul présenté dans le chapitre 2, le courant à travers les jonctions tunnel, empilant plusieurs diélectriques, est calculé pour chaque valeur de potentiel, la résistance tunnel de cette jonction en est déduite. Cette dernière est introduite dans le flot au niveau du calcul de la fréquence tunnel. Le calcul du courant thermoïonique dans notre cas est aussi effectué en utilisant le modèle de matrices de transmission. Après avoir calculé la forme de la barrière de potentiel (en appliquant la force image), le courant thermoïonique est calculé pour que sa contribution soit finalement ajoutée au courant des caractéristiques du SET. De cette manière, nous améliorons le calcul des deux modes de conduction comme il a été discuté dans le chapitre 2. Cette amélioration du simulateur nous a été primordiale pour l'intégration des jonctions tunnel optimisées présentées dans les chapitres 2 et 3.

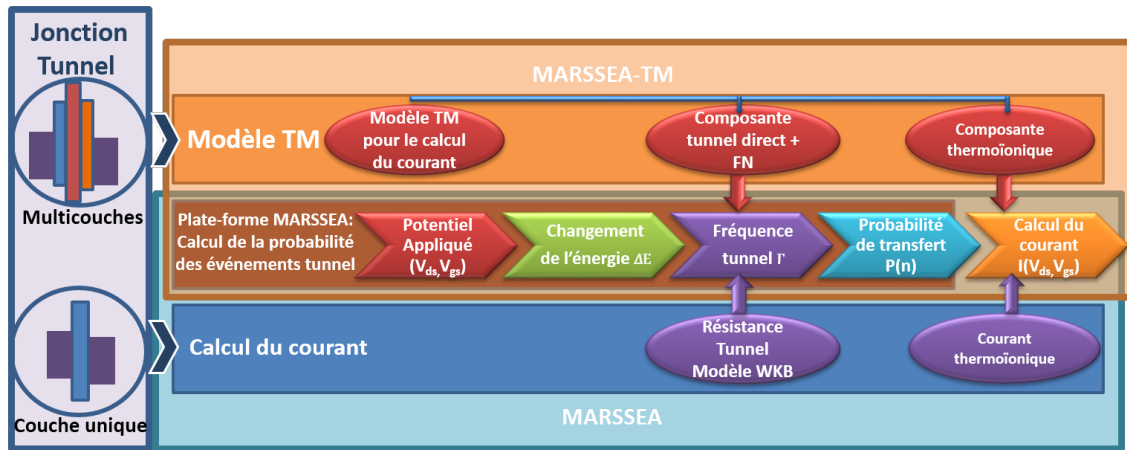


FIGURE 4.3.1 – Diagramme représentant la méthode de calcul du courant dans un SET avec le simulateur MARSSEA-TM et MARSSEA.

4.4 Validation des résultats de simulation

Pour valider les calculs du simulateur modifié MARSSEA-TM, nous avons comparé des données de SET à température ambiante à nos simulations. La comparaison entre les données de Dubuc et al. (2009) et les simulations est présentée Figure 4.4.1. Les paramètres de simulations sont les mêmes paramètres extraits par Dubuc et al. (2009). Dans cette figure nous remarquons le rapprochement entre les données et les simulations. Dans cet article de référence, les simulations se rapprochent encore plus des résultats mesurés. Nous pensons que la différence entre les simulations faites par Dubuc et al. (2009) et les simulations actuelles viennent de la différence entre le modèle WKB utilisé par ce dernier pour le calcul de la résistance tunnel et le

modèle de Matrices de transmission utilisé dans ce travail [Dubuc 09]. La différence reste par contre négligeable.

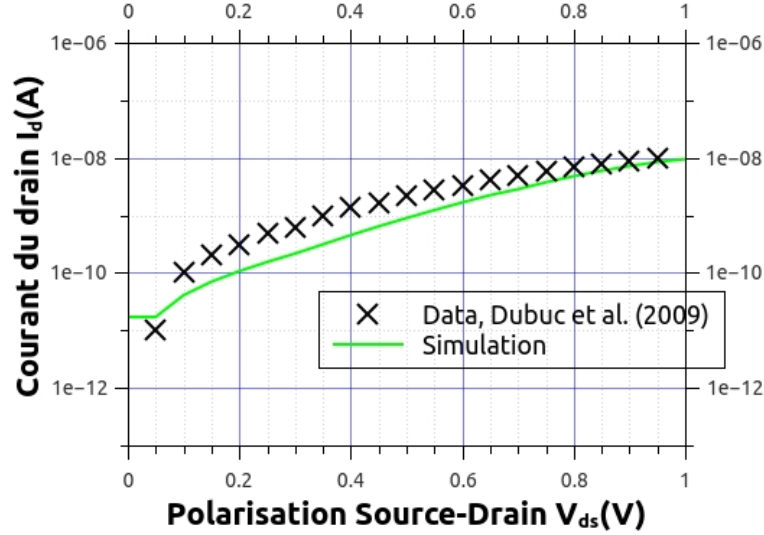


FIGURE 4.4.1 – Comparaison des mesures d'un SET fabriqué par Dubuc et al. (2009) [Dubuc 09] et des simulations du SET utilisant notre simulateur MARSSEA-TM avec des jonctions tunnel d'une surface de 10nmX2nm, d'une épaisseur de 8nm, $\epsilon_r = 3.5$, $\varphi_{max} = 0.35eV$ et une masse effective $m^*=0.4$. La capacité de grille est de 0.23aF.

4.5 SET double-Grille (DG-SET)

Les circuits basés sur les SET ont des jonctions tunnel à travers lesquelles les électrons peuvent être transportés d'une manière contrôlée. Une des approches pour concevoir des portes logiques en utilisant les SET est de considérer que les SETs opèrent comme des interrupteurs électriques. Dans la Figure 4.5.1-c), nous exposons l'utilisation de la seconde grille pour pouvoir opérer dans deux états logiques $[0, V_{DD} = e/4C_G]$ en fixant V_{G2} à la valeur suivante : $[0, V_{DD} = e/4C_G]$ ou le ratio de courant I_{ON}/I_{OFF} est à son optimum.

De cette manière, il est possible de construire des portes logiques booléennes similaires à la technologie CMOS. Le plus grand avantage de l'utilisation du SET double-grille (ou DG-SET) de cette manière là, est sans aucun doute la réutilisation des connaissances et des moyens de conception à un coût négligeable et en dépassant les limites physiques fondamentales de la technologie CMOS.

Dans le travail de Bounouar et al. (2012), un nombre de portes logiques booléennes, basées sur le SET double-grille métallique, ont été construites avec les paramètres mentionnés dans la Figure 4.5.1 [Bounouar 12]. En utilisant les propriétés du SET, nous pouvons créer des dispositifs « pull-up » et « pull-down » en fixant la polarisation de la deuxième grille à GND et V_{DD} respectivement [Bounouar 13]. Dans ce travail nous démontrerons l'amélioration des performances des P-SET grâce

à l'utilisation de barrières multi-couches optimisées. Il est par contre clair que cette analyse peut être généralisée à des N-SET.

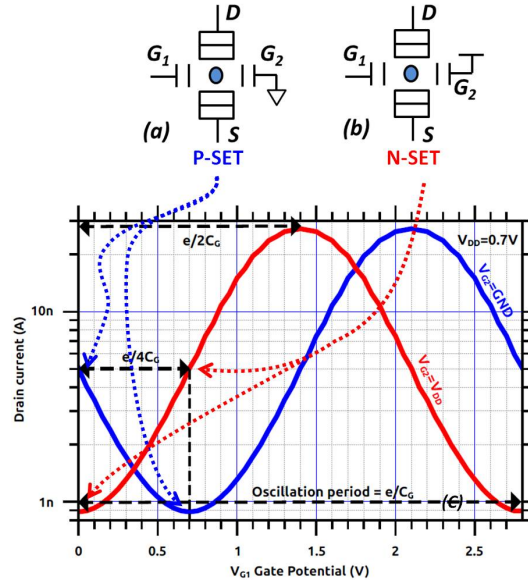


FIGURE 4.5.1 – Configuration du DG-SET en fonction de la tension appliquée sur la deuxième grille. (a) Type P, (b) Type N, (c) Caractéristiques $I_{DS} - V_{GS1}$ simulées (notre modèle) pour $V_{GS2} = GND$ (type P) et $V_{GS2} = V_{DD}$ (type N). Les paramètres du SET sont $C_{G1} = C_{G2} = 0.057aF$, $C_s = C_d = 0.039aF$ pour une jonction tunnel de 4nm de TiO_x [El Hajjam 15].

La Figure 4.5.2 décrit le modèle circuit d'un SET à double-grille. V_{gs1} et V_{gs2} sont les potentiels appliqués à la Grille 1 et à la Grille 2. Les capacités des grilles sont C_{g1} et C_{g2} . V_{ds} est le potentiel appliqué entre le drain et la source du transistor à un électron et $V_{i \rightarrow d}$, $V_{i \rightarrow s}$ sont les potentiels appliqués à chacune des jonctions tunnel du drain et de la source. La capacité du drain est nommée C_d et celle de la source C_s . Pour simplifier le calcul et pour des raisons de clarté et de rigueur, nous utiliserons les valeurs du SET comme ceci :

- $C_{g1} = C_{g2} = C_g$,
- $C_d = C_s = C_j$,
- $V_{gs2} = 0V$, pour un P-SET (ou $V_{gs2} = V_{DD}$ pour un N-SET)
- $V_{ds} = V_{DD}$ (Potentiel de pilotage du transistor).

Comme il a été décrit précédemment, un P-SET est OFF quand $V_{gs1} = V_{DD}$, il est ON quand $V_{gs1} = 0V$. En supposant qu'aucune charge additionnelle n'est présente dans l'îlot du SET et comme la plage de potentiel met le transistor dans sa première oscillation de Coulomb, nous pouvons donc écrire le potentiel de la jonction drain et celui de la jonction source à l'état OFF et ON en fonction de la tension de pilotage V_{DD} .

$$v_{i \rightarrow d_{OFF}} = v_{i \leftarrow s_{OFF}} = \frac{V_{DD}}{2} \quad (4.6a)$$

$$v_{i \rightarrow d_{ON}} = \frac{(2C_G + C_j)V_{DD}}{C_\Sigma} = \frac{V_{DD}}{2} + \frac{C_G V_{DD}}{C_\Sigma} \quad (4.6b)$$

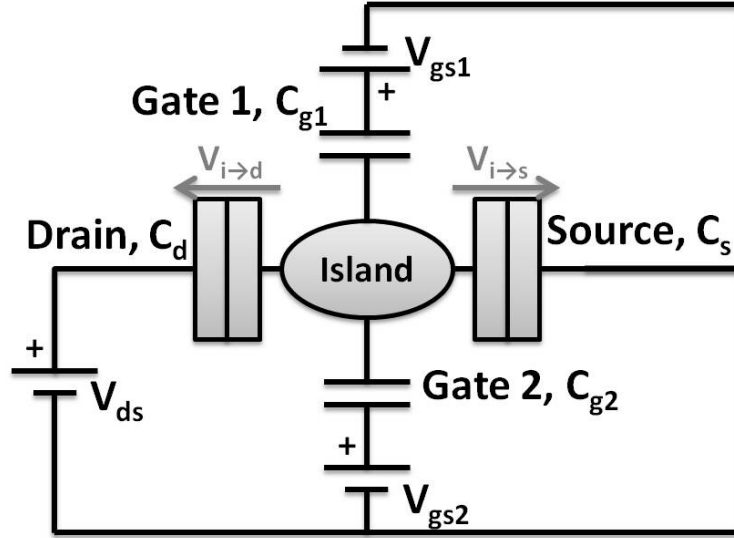


Figure 4.5.2 : Circuit équivalent du DG-SET incluant deux jonctions tunnel et deux grilles [El Hajjam 15].

$$v_{i \leftarrow s_{ON}} = \frac{C_j V_{DD}}{C_\Sigma} = \frac{V_{DD}}{2} - \frac{C_G V_{DD}}{C_\Sigma} \quad (4.6c)$$

La somme des potentiels à travers les deux jonctions drain et source est égale au potentiel appliqué, soit la tension de pilotage :

$$v_{i \rightarrow d} + v_{i \leftarrow s} = V_{DD} \quad (4.6d)$$

Comme nous pouvons le voir dans la formule (4.6a), à l'état OFF, le potentiel dans les deux jonctions tunnel, drain et source, ne dépend ni des capacités du transistor, ni du potentiel appliqué à la grille. Il est simplement lié à la tension de pilotage V_{DD} . Quand le SET est à l'état ON, au moins un des potentiels des jonctions drain ou source doit être supérieur à l'énergie de charge E_c/e . Dans le cas d'un P-SET, le potentiel de la jonction du drain est supérieur à E_c/e . À partir des équations (4.6b) et (4.6c), les potentiels de drain et la source sont liés à la capacité de grille. $v_{i \rightarrow d_{ON}}$ est aussi inversement proportionnel à la capacité de jonction C_j car $C_\Sigma = 2C_j + 2C_G$. Nous pouvons donc conclure que pour une capacité de jonction tunnel très faible C_j , le potentiel de la jonction drain tend vers la tension de pilotage elle même $v_{i \rightarrow d_{ON}} = V_{DD}$.

4.6 Ingénierie de la jonction tunnel du DG-SET

Le développement du transistor à un électron est considérablement lié à l'ingénierie d'une jonction tunnel optimisée. Si le SET souffre de plusieurs difficultés en plus de la miniaturisation, les challenges du transistor sont les suivants :

- Baisser la capacité totale de l'îlot ($e^2/C_\Sigma \gg 10k_B T$)
- Conduire un courant ON suffisant pour le pilotage des dispositifs (un courant de minimum de l'ordre du nA)

- Et finalement avoir un ratio I_{ON}/I_{OFF} élevé pour pouvoir différentier l'état ON de l'état OFF.

À température ambiante les challenges cités sont encore plus cruciaux.

Comme il a été décrit dans le dernier chapitre, le développement de la jonction tunnel du SET est une problématique qui ressemble considérablement à celle des mémoires non-volatiles où la jonction tunnel doit garantir une séparation claire entre les états d'effacement et de programmation [Govoreanu 03c, Govoreanu 03a]. Comme pour les mémoires non-volatiles, le transistor à un électron a la nécessité d'avoir des jonctions tunnel bloquant une grande partie du courant tunnel pour des potentiels faibles $V \leq V_{i \rightarrow d_{OFF}}$, dans le cas d'un P-SET ce potentiel correspond à $V_{DD}/2$ (Équation (4.6a)). La jonction ayant un potentiel plus faible que $V_{DD}/2$ devrait donc conduire un courant faible ou négligeable. Dans le cas contraire, quand le P-SET est dans l'état ON, le potentiel de la jonction du drain est proche de V_{DD} (Équation (4.6b)). La jonction dans cet état devrait donc fournir un courant élevé pour piloter le transistor, pour un potentiel $V \geq V_{i \rightarrow d_{ON}}$ le courant doit être à son maximum. Govoreanu et al. (2003) a proposé le concept VARIOT et dans le chapitre 2 nous avons proposé une jonction optimisée appelée R-VARIOT [Govoreanu 03b]. Dans ce qui suit, nous allons donc prouver le potentiel de la structure R-VARIOT pour optimiser le fonctionnement du transistor à un électron.

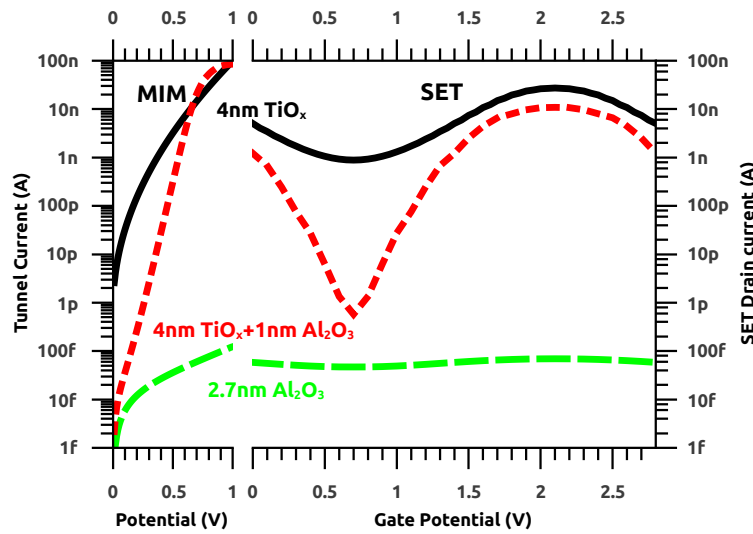


Figure 4.6.1 : Comparaison entre le courant tunnel d'une MIM ayant une surface de $5nm^2$ et le courant de drain d'un P-SET pour des jonctions tunnel se composant de 4nm de TiO_x , 2.7nm de Al_2O_3 et 4nm $TiO_x+1nm Al_2O_3$. Pour le P-SET $V_{DD} = 0.7V$ et $C_g = 0.057aF$ (Les paramètres des matériaux sont décrits dans le Tableau 2.1).

La partie MIM à gauche de la Figure 4.6.1, affiche le courant tunnel de trois jonctions tunnel différentes ayant une surface de $5nm^2$. Les diélectriques de chacune des jonctions sont :

- (i) 4nm TiO_x
- (ii) 2.7nm Al_2O_3
- (iii) 4nm $TiO_x + 1nm Al_2O_3$

Par défaut, les simulations sont faites à température ambiante $T=300K$, sauf mention contraire. À cause de la barrière de potentiel TiO_x très faible, le mode de conduction essentiel est la conduction par émission thermoïonique. Le courant est donc élevé même à faible tension appliquée. Concernant, la MIM composée de 2.7nm Al_2O_3 , le courant tunnel est relativement faible à cause de la barrière très haute de Al_2O_3 (de l'ordre de 2.7eV). En ajoutant 1nm de Al_2O_3 à la couche de 4nm de TiO_x , nous obtenons la troisième jonction tunnel optimisée. Comme il a été décrit dans le chapitre 2, cette jonction tunnel peut être incluse parmi les jonctions de type R-VARIOT. Cette jonction a en effet une couche mince d'un diélectrique HBHK (High barrier High-K) et une couche plus épaisse d'un diélectrique LBLK (Low Barrier Low-K). À un potentiel appliqué très faible, la couche plus épaisse en plus de la hauteur de barrière de la couche de Al_2O_3 font obstruction au transport électronique, que ce soit par émission thermoïonique ou par effet tunnel. Par contre, en appliquant un potentiel important, le champ électrique concentré dans la couche de TiO_x fait en sorte que la deuxième couche de Al_2O_3 est abaissée ce qui augmente considérablement la transparence à la conduction électronique et donc la valeur du courant. En considérant une surface de $5nm^2$ pour chaque jonction, C_j la capacité de la jonction tunnel peut être calculée pour un P-SET : 0.039aF pour le 4nm TiO_x , 0.12aF pour le 2.7nm Al_2O_3 et 0.034aF pour la jonction tunnel composé 4nm TiO_x + 1nm Al_2O_3 . C'est important de noter que la jonction tunnel optimisée 4nm TiO_x + 1nm Al_2O_3 a une caractéristique courant-tension optimale pour une capacité plus basse.

La simulation du P-SET dans la partie droite de la Figure 4.6.1 démontre l'effet bénéfique de la caractéristique de la jonction tunnel sur les oscillations de Coulomb du P-SET. Pour les simulations de cette figure, la tension du drain est fixée à $V_{DD} = 0.7V$ pour une capacité de grille de $C_G = 0.057aF$. Le P-SET intégrant une jonction tunnel 2.7 nm de Al_2O_3 affiche des oscillations de Coulomb d'une amplitude faible mais aussi un courant très faible. Le niveau de courant est dû au niveau de courant de la MIM et de la capacité très élevée de la jonction tunnel. Le P-SET ayant comme jonction tunnel 4nm de TiO_x affiche un niveau de courant haut dû au niveau de courant de la MIM équivalente. L'amplitude des oscillations de Coulomb reste moyenne du fait de la capacité basse de la MIM équivalente. Concernant la structure optimisée avec 4nm TiO_x + 1nm Al_2O_3 , la valeur maximale de courant est proche de celle de la structure 4nm de TiO_x . L'amplitude des oscillations de Coulomb est élevée pour une valeur de courant élevée. Ceci est lié à la caractéristique courant-tension de la MIM et la faible capacité de la MIM.

De la même manière que la caractéristique courant-tension, la capacité influence logiquement les oscillations du P-SET principalement de deux façons :

- Quand le SET est dans l'état ON, la capacité influence le potentiel par le drain. Un potentiel plus élevé est appliqué au drain pour une plus faible capacité C_j (équations 4.6-b) et 4.6-c)). Aussi, la capacité influence effectivement la fréquence des événements tunnel $\Gamma_{i \Rightarrow d,s}$ qui impacte directement le courant traversant l'îlot du SET (Équations 4.1 et 4.2).
- Quand le SET est dans l'état OFF, la capacité impacte seulement la fréquence des événements tunnel $\Gamma_{i \Rightarrow d,s}$. Dans cet état, le potentiel de la jonction tunnel ne dépend pas de la capacité de la jonction comme il est présenté dans

l'équation 4.6a.

Des empilements différents de matériaux peuvent être considérés comme jonction tunnel pour le SET. Dans la Figure 4.6.2, le courant I_{ON} du P-SET et le ratio I_{ON}/I_{OFF} sont affichés pour les P-SET avec les différentes jonctions tunnel étudiées. Le potentiel de pilotage est fixé à $V_{DD} = 0.7V$ ($C_g = 0.057aF$). Les P-SET comparés dans la Figure 4.6.2 ont soit une jonction tunnel de type R-VARIOT asymétrique (structure L), soit une jonction tunnel formée par un seul diélectrique. Les jonctions asymétriques des P-SET sont formées de TiO_x (étant un diélectrique LBLK). Concernant la couche HBHK, différents diélectriques sont testés : TiO_2 , Si_3N_4 , Al_2O_3 et SiO_2 (Voir Tableau 2.1). L'épaisseur de la couche LBLK varie de 3nm à 5nm. L'épaisseur de la couche HBHK varie de 0.5nm à 1nm. Ces structures sont comparées à des jonction tunnel composées seulement de 4nm de TiO_x , TiO_2 , Si_3N_4 , Al_2O_3 et SiO_2 .

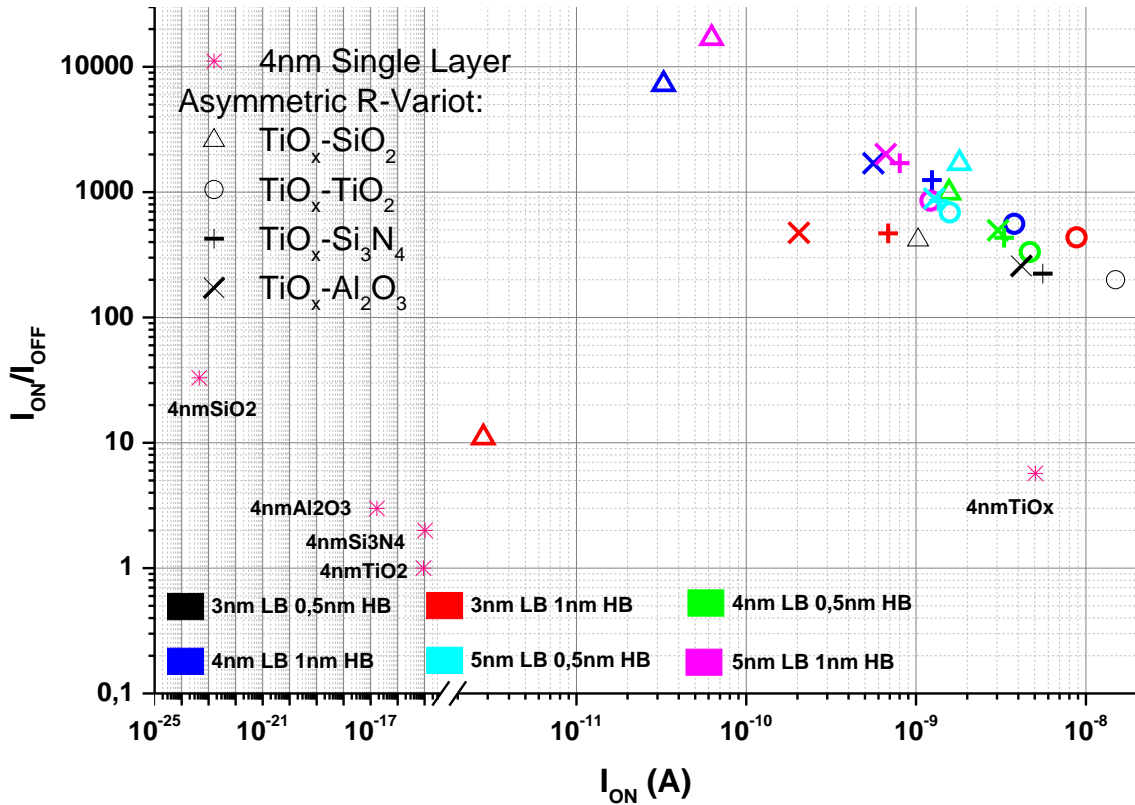


Figure 4.6.2 : Comparaisons du courant I_{ON} et du ratio I_{ON}/I_{OFF} de P-SET ayant des jonctions tunnel R-Variot asymétriques et mono-diélectrique (un seul diélectrique). Concernant les structures R-Variot asymétriques, les symboles désignent un empilement de matériaux et l'épaisseur des couches LB et HB dans cette empilement. L'épaisseur des jonctions tunnel mono-diélectriques est de 4nm (Les paramètres des matériaux sont décrits dans le Tableau 2.1). $V_{DD} = 0.7V$ et $C_g = 0.057aF$ sont la tension de pilotage et la capacité de grille du P-SET et $5nm^2$ est la surface de chacune de ses jonctions tunnel [El Hajjam 15].

Les avantages des structures R-VARIOT sont clairement affichés dans la Figure 4.6.2. Concernant les P-SET ayant une jonction tunnel composée d'un diélectrique unique, la majorité des jonctions ont un courant I_{ON} et un ratio I_{ON}/I_{OFF} très faible. Le P-SET ayant comme jonction 4nm TiO_x a par contre un courant élevé mais le ratio I_{ON}/I_{OFF} reste assez faible comparé au SET composé de jonctions tunnel de type R-VARIOT. Ceci est causé par la hauteur de barrière très faible du TiO_x . Quelques tendances peuvent être extraites en relation avec l'épaisseur de chacune des deux couche des structures R-VARIOT asymétriques. Pour toutes les structures, nous pouvons déduire une augmentation générale du ratio I_{ON}/I_{OFF} due à l'augmentation de l'épaisseur de chacune des deux couches. La tendance pour le courant I_{ON} est moins triviale. Pour les P-SET ayant comme jonctions tunnel les structures de type R-VARIOT composées d'une couche de 1nm de SiO_2 , Al_2O_3 et Si_3N_4 (des matériaux à forte hauteur de barrière de potentiel), le courant augmente avec l'épaisseur de la couche LBLK. Cette tendance est due à la diminution de la capacité de la jonction et aussi à l'augmentation de sa transparence à fort champ. Le courant du P-SET ayant une jonction tunnel de type R-VARIOT asymétrique composée de TiO_x et de TiO_2 a tendance à diminuer proportionnellement à l'épaisseur contrairement au ratio I_{ON}/I_{OFF} . Nous avons réalisé des simulations pour comparer un P-SET composé d'une jonction tunnel 4nm TiO_x et un P-SET composé d'une jonction tunnel de type R-VARIOT 3nm TiO_x +1nm TiO_2 (cercle rouge dans la Figure 4.6.2). Nous avons aussi fait varier le potentiel de pilotage V_{DD} de 0.4V à 0.8V en fixant les capacités de grille de chaque P-SET comme il a été défini précédemment : $V_{DD} = e/4C_g$.

La Figure 4.6.3 représente la caractéristique I_d-V_g pour chacune des capacités de grille suivante : 0.1aF, 0.08aF, 0.067aF, 0.057aF et 0.05aF, et bien évidemment le potentiel de pilotage V_{DD} correspondant : 0.4V, 0.5V, 0.6V, 0.7V et 0.8V; et ceci pour un P-SET composé d'une jonction tunnel de 4nm TiO_x ayant une capacité de $C_j = 0.039aF$. Comme il a été décrit précédemment, pour toutes les caractéristiques, le P-SET est dans l'état ON quand le potentiel de la première grille $V_{G1} = 0V$ il est par contre dans un état OFF quand celui ci est égal au potentiel de pilotage : $V_{G1} = V_{DD}$. Pour ce SET, nous pouvons déduire un courant de pilotage (à l'état ON) allant du 0.1nA à 10nA. Les valeurs de ratio I_{ON}/I_{OFF} calculées pour chacune des caractéristiques sont affichées dans le graphique. Les valeurs de toutes le caractéristiques I_d-V_g n'excèdent pas un ratio de $I_{ON}/I_{OFF} = 8.6$, ce qui est très faible d'un point de vue conception de circuits.

La Figure 4.6.4, quant à elle, représente les oscillations de Coulomb pour un P-SET ayant une jonction tunnel de type R-Variot composé de 3nm TiO_x +1nm TiO_2 . Nous pouvons apercevoir que pour les potentiels de pilotage à partir de $V_{DD} = 0.6V$, le courant ON est du même ordre que pour le P-SET simulé dans la Figure précédente. La comparaison du ratio I_{ON}/I_{OFF} , démontre des valeurs de deux ordres de grandeurs plus élevés. Le fait que le courant et le ratio I_{ON}/I_{OFF} sont élevés pour ce P-SET rend la structure R-VARIOT très intéressante pour l'application ciblée. La capacité très basse (0.05aF) et la caractéristique courant-tension de la jonction tunnel expliquent ces valeurs élevées de courant et du ratio I_{ON}/I_{OFF} .

La Figure 4.6.5 représente les oscillations de Coulomb pour un P-SET ayant une jonction tunnel de type R-VARIOT composée de 3.5nm TiO_x +0.5nm TiO_2 . Comme

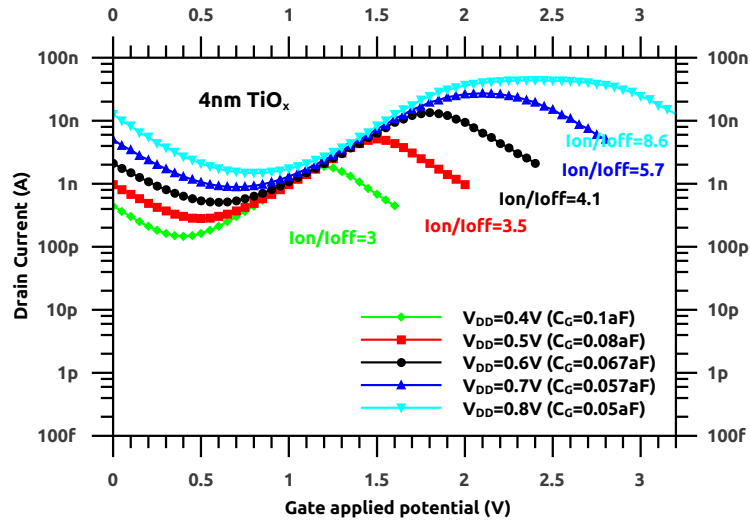


Figure 4.6.3 : Caractéristiques I_d-V_g représentant les oscillations de Coulomb de différents P-SET ayant une jonction tunnel de 4nm de TiO_x pour des capacités de grille allant de 0.05aF à 0.1aF et leurs V_{DD} correspondant.

pour la structure précédente, les courants à l'état ON, pour les potentiels appliqués cette fois à partir de $V_{DD} = 0.5V$, sont du même ordre que pour le P-SET ayant une jonction tunnel de 4nm TiO_x . Ceci est dû à la capacité encore plus basse de cette structure (0.043aF). Les ratios I_{ON}/I_{OFF} restent élevés également.

Dans la Figure 4.6.6, nous comparons les oscillations de Coulomb des deux P-SET décrits dans les Figures 4.6.3 et 4.6.4, le premier ayant une jonction tunnel 4nm TiO_x et le deuxième ayant une jonction tunnel 3nm TiO_x +1nm TiO_2 de type R-VARIOT. Les P-SET sont simulés à températures variables : 300K, 400K et 500K. Nous remarquons que l'amplitude des oscillations du P-SET 4nm TiO_x sont très faibles à 300K et que cette amplitude diminue en augmentant la température de fonctionnement. En revanche pour le P-SET 3nm TiO_x +1nm TiO_2 , l'amplitude est élevée à 300K. Cette amplitude reste de l'ordre de 10^2 à 400K et aussi à 500K. Cette comparaison démontre qu'avec les structures de type R-VARIOT, nous pouvons réaliser des SET qui peuvent avoir un meilleur fonctionnement à température ambiante et pour des températures plus élevées.

4.7 Simulation de l'inverseur DG-SET intégrant des jonctions tunnel optimisées

Dans cette partie, nous allons analyser les caractéristiques électriques d'un circuit élémentaire de base pour la conception de circuits numériques mono-électroniques à savoir l'inverseur DG-SET [Tucker 92]. Composé de deux DG-SET en série, la Figure 4.7.1 représente le schéma électrique de l'inverseur DG-SET. Comme il a été décrit précédemment l'utilisation du DG-SET permet une conception semblable à celle des CMOS. Le transistor de gauche est donc un P-SET, tandis que celui de

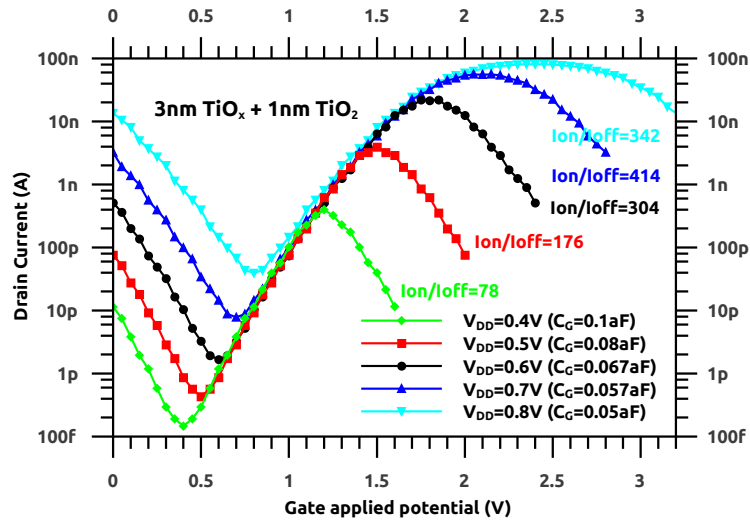


Figure 4.6.4 : Caractéristiques I_d - V_g représentant les oscillations de Coulomb de différents P-SET ayant une jonction tunnel R-Variot asymétrique 3nm TiO_x +1nm TiO_2 pour des capacités de grille allant de 0.05aF à 0.1aF et leurs V_{DD} correspondant.

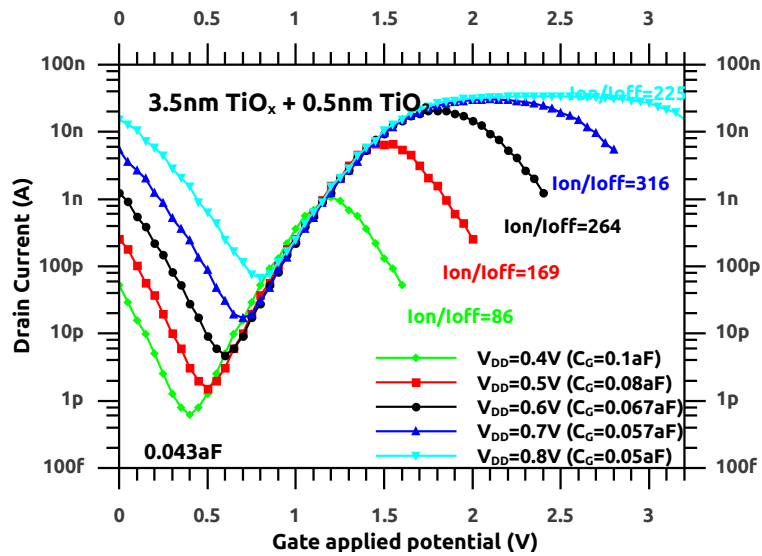


Figure 4.6.5 : Caractéristiques I_d - V_g représentant les oscillations de Coulomb de différents P-SET ayant une jonction tunnel R-Variot asymétrique 3.5nm TiO_x +0.5nm TiO_2 pour des capacités de grille allant de 0.05aF à 0.1aF et leurs V_{DD} correspondant.

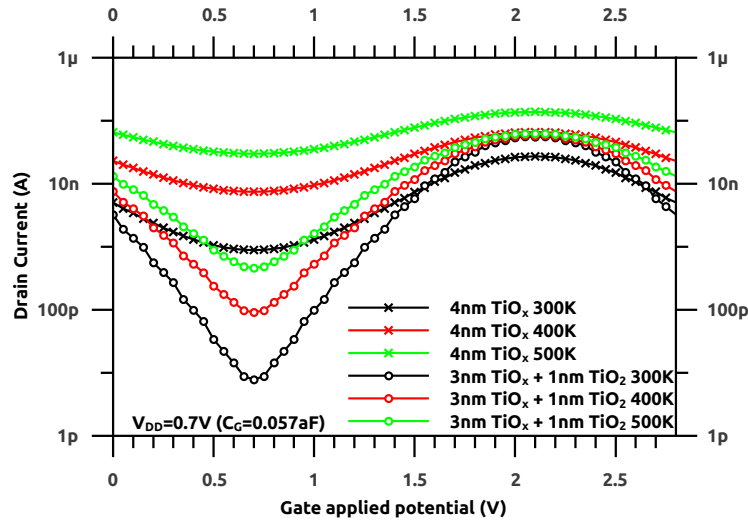


Figure 4.6.6 : Comparaison des caractéristiques I_d-V_g représentant les oscillations de Coulomb de deux P-SET, le premier ayant une jonction tunnel R-Variot asymétrique 3nm TiO_x +1nm TiO_2 et le deuxième 4nm de TiO_x , à 300K, 400K et 500K et pour une tension $V_{DD} = 0.7V$.

droite est un transistor N-SET. Les caractéristiques statiques de l'inverseur DG-SET simulées sont représentées sur les Figure 4.7.2.

Dans le travail de recherche de sa thèse, M.A. Bounouar (2013) a développé et intégré les outils nécessaires pour la simulation de circuit SET. Le modèle du SET a été développé en Verilog-A dans l'environnement Cadence [Bounouar 13]. Les outils développés dans le cadre de ce travail permettent la simulation de plusieurs circuits élémentaires dont l'inverseur DG-SET. Ainsi, pour la simulation de ce genre de circuit, la caractéristique du SET est calculée à partir de la résistance des jonctions tunnel obtenue par un modèle WKB. Dans l'algorithme 4.1, la fonction « Resist » calcule une résistance tunnel pour des paramètres donnés. Cette simulation présente donc les mêmes limites que le simulateur MARSSEA. Comme il est présenté dans la Figure 4.3.2, pour la simulation des jonctions tunnel optimisées intégrées dans un inverseur DG-SET, nous avons choisi d'utiliser la technique des LUT (Look-Up Table). En effet, nous avons remplacé le calcul de la résistance tunnel par une fonction permettant la récupération dans un tableau de la valeur de courant pour chaque potentiel donné. Dans l'algorithme 4.2, la fonction « \$table_model » va chercher la valeur de courant dans le tableau (préalablement produit) pour une valeur de tension donnée. Le tableau contient les valeurs de la caractéristique courant-tension de la jonction tunnel à intégrer. Ces valeurs sont calculées en utilisant la méthode des matrices de transmission. Cette technique permet d'alléger le calcul du simulateur tout en utilisant des valeurs exactes de la caractéristique de la jonction tunnel issue du calcul par matrices de transmission. Dans la Figure 4.7.3 nous comparons les caractéristiques statiques d'un inverseur DG-SET intégrant la même jonction tunnel 4nm TiO_x , simulé en utilisant le modèle tabulé (modèle LUT) et le modèle original développé par M.A. Bounouar (modèle MAB). Nous remarquons une légère différence entre les deux modèles en faveur du modèle MAB. La pente $\frac{\Delta V_{out}}{\Delta V_{in}}$ est plus

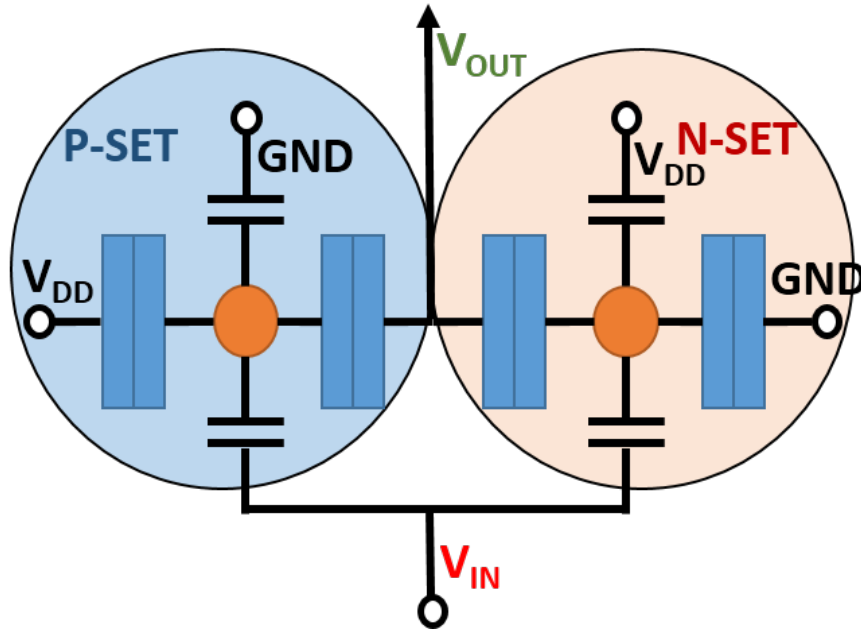


Figure 4.7.1 : Schéma électrique d'un inverseur DG-SET

élevée et les marges de bruit V_{iL} et V_{iH} sont plus proches. Cette différence est donc due à la méthode de calcul du courant tunnel et du courant thermoïonique, comme pour le simulateur MARSSEA.

Algorithme 4.1 Code Verilog-A pour le calcul de la résistance tunnel

```
RIDO = Resist(LAMBDA*V(drain,source) - LAMBDA*v_island ,s,T,aire);
VIDO=SMOOTH (LAMBDA*V(drain,source) - LAMBDA*v_island - ALPHA,VT);
IDO=VIDO/RIDO;
```

Algorithme 4.2 Code Verilog-A utilisant le modèle tabulé pour l'extraction du courant tunnel pour une valeur de potentiel

```
Vabs=abs(LAMBDA*v_island);
Jt = $table_model( Vabs, 'FNAME', 'TYPE ');
It=Jt*aire;
RISO = Vabs/It;
```

Dans un premier temps, il est important de comprendre le comportement électrique du DG-SET. Pour cette raison, nous commençons par analyser les caractéristiques statiques de l'inverseur présenté Figure 4.7.3.

La caractéristique statique de l'inverseur dans la Figure 4.7.3 est divisée en quatre zones de 1 à 4. Les zones 1 et 4 représentent les niveaux logiques « 0 » et « 1 ». Les zones 2 et 3 représentent quant à elles des « régions de transition logique » [Bounouar 13].

- Zone 1 : À l'instant $t=0$, on considère que $V_{OUT} = 0$ et que la tension appliquée $V_{IN} = 0$. Dans ce cas, le transistor P-SET est en mode ON alors que le

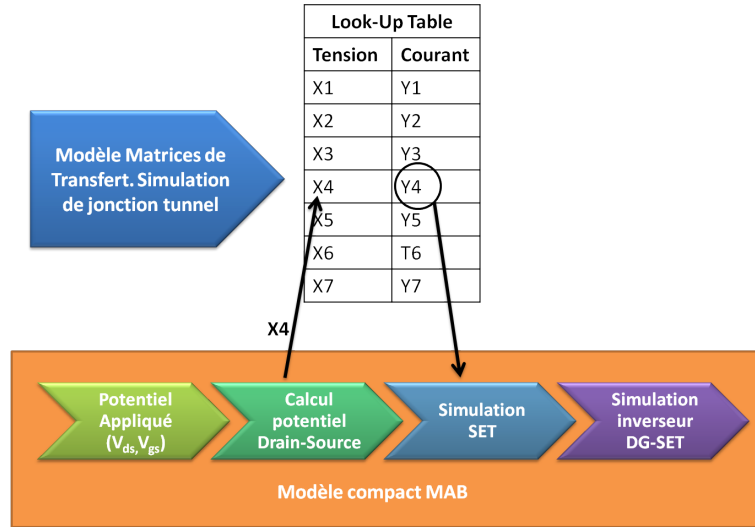


Figure 4.7.2 : Intégration du modèle tabulé dans le modèle compact MAB pour la simulation d'inverseur DG-SET

transistor N-SET est en mode OFF. Le résultat de cet état est une augmentation de la tension de sortie V_{OUT} . La Zone 1 V_{OUT} se situe entre $V_{IN} = 0$ et $V_{IN} = V_{IL}$ ou $V_{IL} = V_{DD} - V_{th}$, et $V_{th} = e/2C_{\Sigma}$ définit le seuil du DG-SET.

- Zone 2 : À l'instant $t=0$, on considère toujours $V_{OUT} = 0$, mais cette fois la tension appliquée $V_{IL} \leq V_{IN} \leq V_{th}$. Par rapport à la Zone 1, cette fois le courant du P-SET a tendance à diminuer tout en restant ON. Le N-SET reste dans l'état OFF. Dans la Figure 4.7.3, la Zone 2 se situe pour une tension d'entrée $V_{IL} \leq V_{IN} \leq V_{th-Inverseur}$. Où $V_{th-Inverseur}$ est la tension de seuil de l'inverseur. L'inverseur passe d'un état « 0 » à un état « 1 » en $V_{th-Inverseur}$. Avec : $V_{th-Inverseur} = V_{DD}/2$.
- Zone 3 : Comme la Zone 2, cette zone est une zone de transition de l'état « 0 » à l'état « 1 ». La tension d'entrée est cette fois $V_{th-Inverseur} \leq V_{IN} \leq V_{IH}$. V_{IH} est la tension minimale interprétable comme un niveau logique « 1 ». Cette tension est égale à la tension de seuil du N-SET. Dans cette Zone, le N-SET conduit du courant, ce qui porte la tension de sortie à diminuer. Le P-SET quant à lui tend à passer vers l'état bloqué.
- Zone 4 : Comparable à la Zone 1, cette zone représente l'état logique « 1 » de l'inverseur. Pour un potentiel d'entrée $V_{IH} \leq V_{IN} \leq V_{DD}$ le transistor N-SET est à l'état ON alors que le P-SET est à l'état OFF. Ceci abaisse la tension de sortie V_{OUT} .

Dans la Figure 4.7.3, les caractéristiques statiques de deux inverseurs simulés en utilisant le même modèle LUT sont comparées. Chaque inverseur intègre un P-SET et un N-SET ayant une des jonctions tunnel décrite précédemment. Le premier est composé d'une jonction R-Variot 3nm TiO_x +1nm TiO_2 P-SET et N-SET, le deuxième est composé de la référence 4nm TiO_x P-SET et N-SET. La caractéristique de l'inverseur composé des DG-SET ayant une jonction tunnel R-VARIOT est clairement améliorée. Avec la jonction tunnel optimisée, la pente $\frac{\Delta V_{out}}{\Delta V_{in}}$ est plus élevée et les marges de bruit V_{iL} et V_{iH} (lorsque $\frac{\Delta V_{out}}{\Delta V_{in}} = -1$) sont plus proches, ce

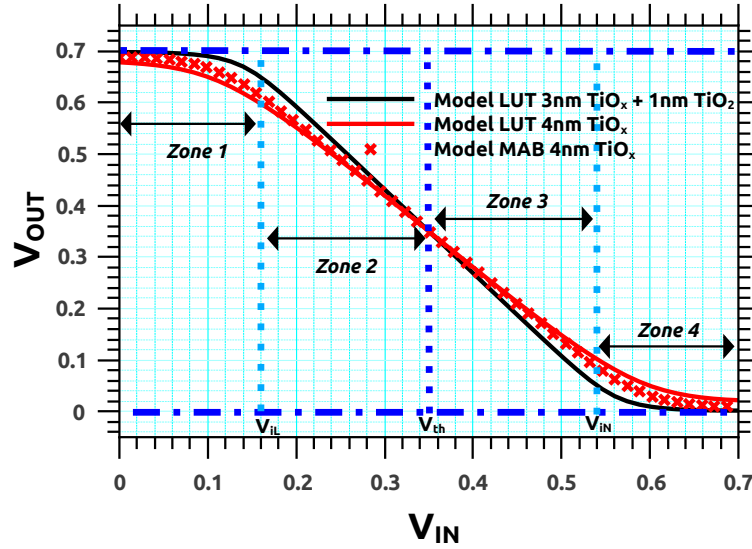


Figure 4.7.3 : Caractéristique statique d'un inverseur DG-SET simulée à l'aide de notre modèle à $T = 300K$. Les paramètres du SET et des jonctions sont : $C_{G1} = C_{G2} = 0.057aF$, surface de la jonction = $1nm \times 5nm$.

qui se traduira par une consommation plus faible de l'inverseur optimisé. Également nous notons que le niveau bas est bien égal à $0V$ alors qu'il est légèrement positif dans l'inverseur non optimisé.

4.8 Conclusion

Une grande partie des travaux effectués précédemment en modélisation, simulation et caractérisation nous ont donné l'élan nécessaire pour premièrement développer les outils nécessaires pour la simulation du SET, deuxièmement définir les paramètres de simulation liés aux matériaux utilisés et finalement intégrer une jonction tunnel optimisée pour le fonctionnement du SET dans un inverseur. Dans ce chapitre, nous avons donc d'abord discuté des aspects théoriques de la simulation du SET pour pouvoir poser les problématiques liées au courant du SET soit : le courant I_{ON} et le ratio I_{ON}/I_{OFF} . Cette problématique, nous l'avons résolu en utilisant des jonctions tunnel optimisées, en terme de courant et de capacité, introduites précédemment dans le chapitre 2. Finalement, les simulations des SET, intégrant des jonctions tunnel optimisées, montrent le potentiel important permettant l'amélioration du courant I_{ON} tout en augmentant drastiquement le ratio I_{ON}/I_{OFF} . L'effet de cet amélioration sur la caractéristique d'un inverseur est aussi très concluant. Dans le chapitre suivant, nous allons d'abord discuter des différents aspects du procédé NanoDamascène et de la possibilité d'intégrer les jonctions optimisées dans ce procédé de fabrication. Nous exposerons finalement des résultats de fabrication et de caractérisation des dispositifs fabriqués

Chapitre 5

Le procédé nanodamascène pour la fabrication de dispositifs électroniques et leur caractérisation

Dans les chapitres précédents, l'étude avancée que nous avons menée pour le développement et l'optimisation de la jonction tunnel nous a menés à identifier plusieurs types de jonctions tunnel susceptibles d'améliorer le fonctionnement du SET. Dans le chapitre précédent, les simulations des SET intégrant les jonctions tunnel optimisées ont montré une amélioration importante des caractéristiques des SET. Dans ce chapitre, nous allons présenter la fabrication et la caractérisation des dispositifs SET, MIM et nanofils (NW : Nanowire) par le procédé NanoDamascène. Comme il a été décrit précédemment, la fabrication de SET fonctionnel à température ambiante repose principalement sur notre capacité à pouvoir fabriquer un îlot ayant des dimensions inférieures à 3nm. Dans notre cas, l'intérêt du SET métallique vient principalement de la possibilité de son intégration dans le BEOL (Back End of Line) d'une technologie CMOS. Son intégration nous permettrait de pouvoir augmenter la densité de transistors par unité de surface, mais aussi de mieux fonctionnaliser le BEOL du CMOS. Dans la première partie, nous aborderons le procédé NanoDamascène, nous allons décrire ses étapes, ses variantes et ses limites. Ensuite, nous étudierons les caractéristiques électriques de dispositifs NW, MIM et SET. Finalement, nous présenterons les différentes perspectives d'améliorations de la fabrication du dispositif SET.

5.1 Les étapes importantes et les spécificités du procédé nanodamascène

5.1.1 Les étapes du procédé nanodamascène

Un procédé de fabrication de SET est essentiellement critique lors des étapes nécessaires pour la formation de l'îlot du transistor. Comme il a été décrit précédemment, la taille de l'îlot du transistor est nécessairement petite pour un fonctionnement du SET à température ambiante. Pour cette raison plusieurs techniques

ont été utilisées pour la réalisation d'un îlot à très faibles dimensions (de 3nm à 10nm). Parmi ces techniques, l'évaporation à angle, la nano-oxydation par AFM, l'amincissement par oxydation thermique, etc. Toutes ces techniques présentent des résultats intéressants en terme des dimensions réalisées. Par contre, la technique en elle-même suggère une variabilité technologique importante. Dans notre cas, le procédé NanoDamascène est utilisé pour la fabrication du SET (Figure 5.1.1).

D'une manière générale, le procédé damascène est utilisé dans l'industrie de la microélectronique pour la fabrication des interconnexions dans les niveaux métalliques du procédé CMOS [Greco 00]. Ce procédé est aussi utilisé pour la fabrication de DRAM (Dynamic random-access memory) [Chappell 96]. Comme il a été décrit dans le premier chapitre de ce manuscrit, le procédé NanoDamascène de l'université de Sherbrooke permet la fabrication de dispositif électronique de taille nanométrique.

La première étape est la réalisation d'une tranchée d'une largeur faible allant de 5nm à 20nm et d'une tranchée plus large perpendiculaire à la première dans un diélectrique tel le SiO_2 . L'objectif de ces tranchées est de donner forme aux matériaux déposés dedans tel un moulage. La première tranchée constituera la partie active du transistor, soit le drain, la source, l'îlot et les jonctions tunnel. Quant à la deuxième tranchée, elle constituera la grille autoalignée du SET. Dans une deuxième étape, un nanofil métallique (Ti par exemple) est déposé perpendiculairement à la tranchée, dont une partie dans la tranchée dédiée à la grille autoalignée. En théorie, la majorité des métaux peuvent être utilisés. Dans notre cas, les matériaux utilisés sont compatibles BEOL ; parmi ces matériaux : Ti , TiN , W , Cr , Ni , Al . Cette étape peut en elle même être réalisée soit par une technique de soulèvement (lift-off) décrite dans l'annexe de ce manuscrit, ou par un dépôt du métal sur toute la surface de l'échantillon suivi d'un masquage par une résine de la partie métallique à conserver, pour finalement enlever la partie non masquée par une gravure sèche ou humide [Ecoffey 11, ERNST 01, VOISIN 07]. Après cette étape, le diélectrique est formé sur la surface du métal. Ce diélectrique peut être formé par une étape d'oxydation thermique ou par plasma, ou bien par un dépôt d'une couche diélectrique qui peut se faire par plusieurs techniques : ALD, CVD, PVD. Le rôle de ce diélectrique est d'isoler le premier métal déposé du deuxième. Ce diélectrique constituera les jonctions tunnel du transistor. La quatrième étape consiste en la déposition d'une couche métallique épaisse (Ti). Dans l'étape finale, le polissage mécanique-chimique (CMP) est utilisé pour enlever la partie supérieure des matériaux de la tranchée et révéler la structure du transistor.

Dans les parties suivantes, nous tenterons de décrire avec plus de détails les étapes critiques du procédé NanoDamascène.

5.1.1.1 Les tranchées

Les spécifications en gravure de la tranchée sont très précises. Cette étape critique vise à définir les lignes et les motifs de grilles dans l'oxyde SiO_2 thermique. Comme nous allons voir ultérieurement, les dimensions de l'îlot du SET dépendront directement de la profondeur et de la largeur des lignes gravées dans le SiO_2 . Pour cette raison il est critique de pouvoir contrôler les dimensions de la tranchée gravée dans l'oxyde. Puisqu'une étape de remplissage métallique de la tranchée succédera

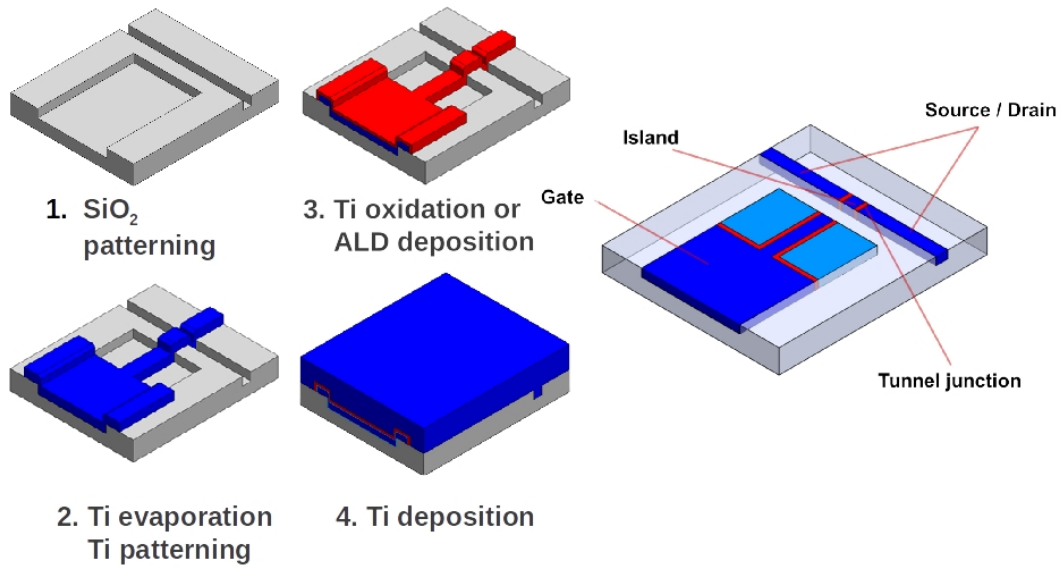


FIGURE 5.1.1 – Procédé nanodamascène pour la fabrication du transistor à un électron.

à cette étape, il est donc important de s'assurer de l'angle des tranchées et aussi de la rugosité des flancs de cette tranchée.

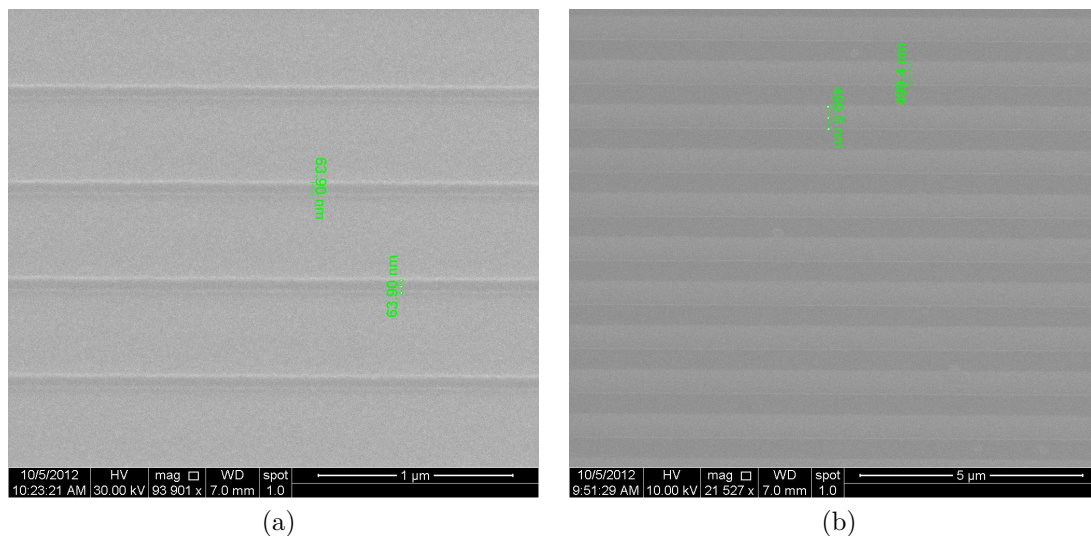


FIGURE 5.1.2 – Tests de doses sur la résine ZEP pour la formation de tranchées ayant une largeur allant de a) 50nm à b) 500nm

Dans un premier temps, les caractéristiques du SiO_2 ont été utilisées pour réaliser une gravure sans l'utilisation de masque de résine. Les motifs du masque sont transférés sur le SiO_2 en utilisant une gravure dans une solution d'acide fluorhydrique tamponné (BHF) 6 :1 dilué. Le résultat est une gravure d'une tranchée avec un angle de 45 degrés. Si l'ouverture de la tranchée est large au départ, c'est après l'étape de CMP, en rabaissant le niveau de surface que l'ouverture finale de cette

tranchée triangulaire va être de 10nm pour une profondeur de 2nm [Dubuc 08b]. Si ce procédé a permis en effet la fabrication de dispositif SET, la nature du procédé de gravure humide reste très variable ce qui n'est pas approprié pour la fabrication de SET à grande échelle. Une technique de gravure sèche a donc été développée par Guilmain et al. (2011) pour subvenir à ce besoin [Guilmain 11].

Dans notre cas, la gravure de la tranchée dans le substrat de SiO_2 se fait en deux étapes principales : i) la lithographie électronique est utilisée pour définir les motifs à rapporter sur le substrat sur une résine de type ZEP 520A, cette résine est diluée pour que l'épaisseur de la résine soit de 90nm après étalement à 5000rpm. Un recuit à 180°C pendant 5min est effectué. Dans un microscope électronique modifié, la résine est exposée à un faisceau électronique d'une énergie de 20keV à des doses entre 0.09nC/cm et 0.15 nC/cm pour obtenir des largeurs allant de 15nm à 30nm. Plus tard, le développement est effectué dans une solution d'O-xylene et une solution de MIBK est utilisée pour arrêter le développement [Guilmain 11]. En utilisant une gravure ICP à base de CF_4 pour transférer les motifs sur le SiO_2 , la ZEP est ultérieurement supprimée dans un plasma O_2 . La Figure 5.1.2 représente le résultat de la gravure des tranchées de SiO_2 révélant des tranchées allant de 50nm à 500nm.

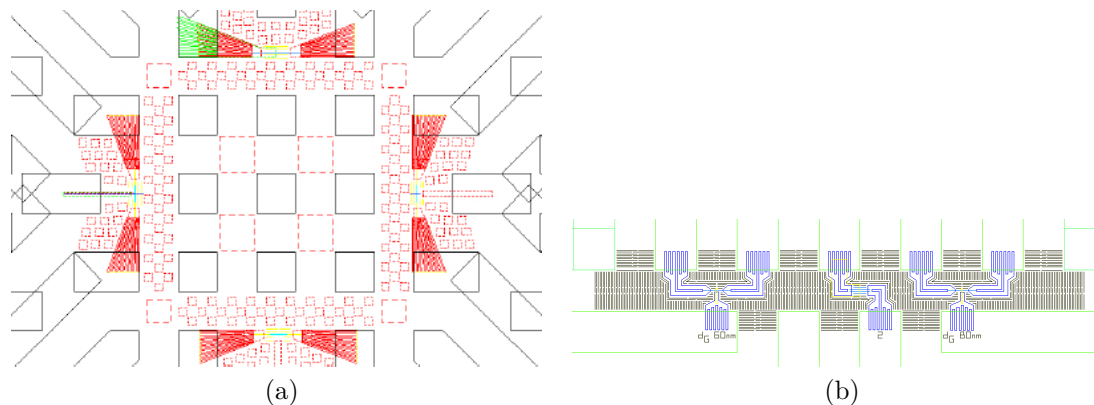


FIGURE 5.1.3 – Deux dessins différents des motifs de structures pour un transfert par lithographie électronique. a) Structure comprenant quatre dispositifs : deux SET à gauche et à droite, une MIM en haut, et un nanofil en bas. b) Structure comprenant deux SET et une MIM au centre.

Pour représenter un cas pratique, la Figure 5.1.3 représente deux dessins différents des structures qui vont être transférés sur la résine électro-sensible. Dans le dessin a), nous pouvons remarquer quatre dispositifs : deux SETs à gauche et à droite, une MIM en haut, et un nanofil en bas. Dans le dessin du SET il est possible d'identifier les différentes électrodes, drain, source et grille du futur dispositif SET. Il faut aussi repérer les motifs additionnels, en forme de carrés, qui sont utilisés comme des « dummies » pour optimiser le polissage. Le dessin b) de la Figure 5.1.3 représente aussi deux SET et une MIM au centre de celui-ci. Les « dummies » dans ce design sont en forme de lignes de tranchées adjacentes aux dispositifs. Dans les images MEB de la Figure 5.1.4, nous remarquons le résultat final de la gravure des tranchées pour

les futurs SET. Les futurs drain, source et grille sont identifiables. La largeur de la ligne dans cette figure est de 29nm pour le SET a) et de 25nm pour le SET b). La profondeur de la tranchée est de 20nm.

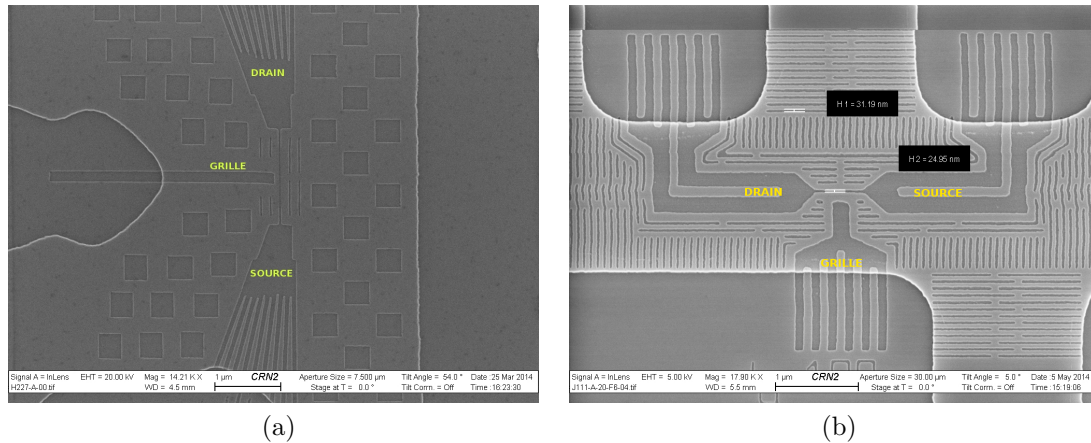


FIGURE 5.1.4 – Images MEB représentant le transfert, par gravure sur SiO_2 de 20nm de profondeur, de deux structures SET différentes.

5.1.1.2 L'îlot

Après l'étape de gravure survient l'étape de formation de l'îlot métallique dans la tranchée. Comme il est décrit sur la Figure 5.1.1, nous réalisons un dépôt d'une ligne métallique perpendiculaire à la tranchée. Cette étape peut être réalisée de deux manières différentes : i) la première consiste à l'utilisation d'un masque de résine par un procédé de type liftoff. Comme pour l'étape précédente, les motifs sur ce masque sont constitués en utilisant un procédé de lithographie électronique. Ensuite, un dépôt métallique est effectué pour réaliser la ligne ciblée. ii) D'une autre manière, cette étape peut être effectuée par un dépôt initial de métal suivi d'une gravure du métal à travers un masque de résine. Dans la Figure 5.1.5, les lignes métalliques de Ti sont déposées perpendiculairement aux tranchées dans le SiO_2 dans deux dispositifs différents. Dans le dispositif a), une partie du métal de la grille est déposée en même temps que la ligne métallique dans la tranchée de la grille. Dans ce cas, la ligne métallique fait 30nm de largeur. Il est possible d'apercevoir l'îlot métallique au fond de la tranchée de 19nm de largeur. Dans le dispositif b), la taille de la ligne de Ti est de 70nm. Elle est déposée dans une tranchée de 30nm de largeur. Les photos MEB dans la Figure 5.1.5 correspondent donc à l'étape 2 dans la Figure 5.1.1. Des lignes de 20nm peuvent être réalisées avec le même procédé. En effet, il est aussi important d'optimiser la technique de dépôt métallique pour éviter la formation de bulles d'air lors du remplissage de la tranchée.

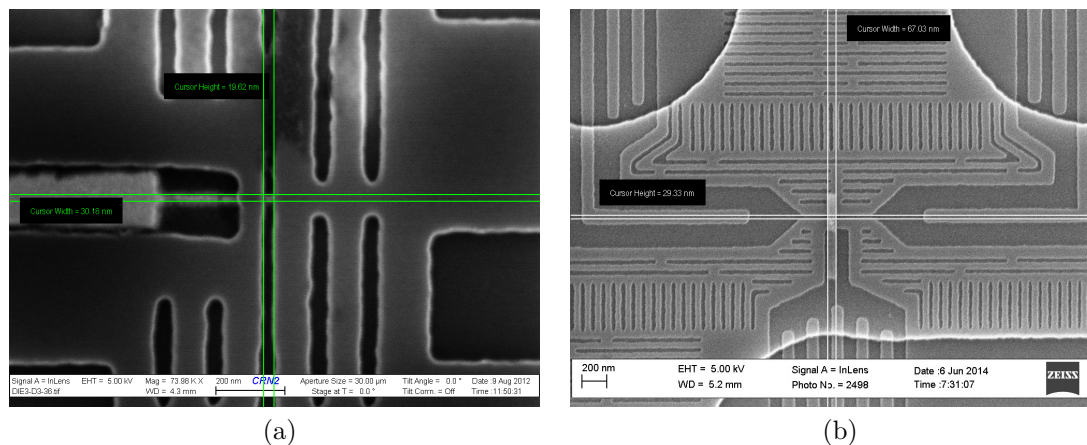


FIGURE 5.1.5 – Images MEB représentant le liftoff d'une ligne métallique dans les motifs gravés des structures SET

5.1.1.3 La jonction tunnel

La réalisation de la jonction tunnel se fait après le dépôt du métal de l'îlot dans la tranchée. Comme il a été décrit dans les chapitres précédents, les jonctions tunnel peuvent être réalisées soit par oxydation plasma ou thermique, soit par un dépôt de diélectrique avec différentes techniques de dépôt. Dans notre cas, une technique d'oxydation par plasma O_2 ou un dépôt de diélectrique par ALD, ou une combinaison des deux techniques est utilisée [Droulers 14, El Hajjam 14].

Dans la Figure 5.1.1, après dépôt de la ligne métallique perpendiculaire à la tranchée (Étape 2 et photo MEB dans la Figure 5.1.5), la jonction tunnel est formée par dépôt ALD ou par la croissance de celle-ci par une étape d'oxydation du Ti. Concernant le dépôt, il se fait conformément sur toute la surface de l'échantillon (Étape 4). Effectivement à la fin de l'étape de CMP, l'îlot est isolé entre les deux jonctions tunnel. L'îlot et les deux électrodes du SET sont identifiables.

La technique de dépôt ALD permet d'intégrer un grand nombre de diélectriques comme jonctions tunnel du SET. Dans le chapitre précédent, des empilements ALD sont mis en évidence et l'amélioration des propriétés électriques est démontrée par les différentes simulations de MIM et de SET. Dans ce chapitre, nous tenterons avec les moyens disponibles de prouver l'évidence de ces propriétés dans un dispositif fabriqué. La technique du dépôt ALD est aussi choisie pour la conformité du dépôt, ce qui permet un remplissage efficace des motifs dans les tranchées de dimensions inférieures à 10nm.

5.1.1.4 Le polissage mécanique-chimique : CMP

Le polissage par CMP est l'étape la plus critique du procédé. Comme décrit précédemment, la CMP permet d'ôter l'excédent de matériaux qui ne se trouve pas dans les tranchées, puis l'amincissement de celles-ci. Dans le cas du procédé NanoDamascène de l'université de Sherbrooke, un amincissement allant jusqu'à 2nm d'épaisseur a été réalisé par Dubuc et al. (2008) [Dubuc 08b]. Ceci permet de réduire la surface des jonctions tunnel et donc de réduire la capacité totale de l'îlot du SET. L'objectif

étant d'améliorer le fonctionnement en température du dispositif.

Dans le schéma de la Figure 5.1.1, nous supposons que le polissage des matériaux se fait uniformément et à la même vitesse pour tous les matériaux polis. En réalité, c'est justement là où réside la difficulté technique de la CMP. Pour réaliser un polissage parfait il faut donc pouvoir polir les différents matériaux, dans notre cas le Ti , le SiO_2 et le matériau de la jonction tunnel (TiO_2 , Al_2O_3 ou HfO_2) à la même vitesse. En supposant que la surface du matériau de jonction est très faible, il suffit dans un premier temps d'avoir une vitesse de polissage égale entre le Ti et le SiO_2 . Pour cette raison nous avons procédé à l'optimisation de la technique de polissage, mais aussi au rajout de motifs sacrificiels pour améliorer ce dernier « les dummies ».

Dans la Figure 5.1.4 a) et b) nous pouvons remarquer plusieurs motifs (dummies) en forme de carrés et de lignes uniformément dispersés sur la surface des échantillons. Ces motifs n'ont aucune propriété active sur le dispositif. Leur intérêt est uniquement d'équilibrer la densité du Ti et du SiO_2 sur toute la surface de l'échantillon ce qui permet un polissage relativement uniforme en surface.

L'optimisation de la CMP passe aussi par l'optimisation de la chimie de la solution abrasive « Slurry ». En effet, le SiO_2 étant « mou » son polissage est plus facile mécaniquement. Pour polir le Ti par contre, il est plus judicieux de passer par une étape d'oxydation chimique de ce dernier puis un polissage mécanique du TiO_2 . Pour cette raison, le Slurry est perfectionné pour chacun de ces deux cycles. Pour le polissage du SiO_2 , une solution d'alcool isopropylique est rajoutée pour diminuer la densité des nanoparticules dans la solution. Plus tard, le H_2O_2 est ajouté pour augmenter l'oxydation du Ti et donc le polissage de ce dernier. De cette manière, le polissage des deux matériaux peut se faire uniformément [GUILMAIN 13b].

Après chaque étape de polissage, un contrôle par microscopie optique, électronique ou AFM est nécessaire. À un niveau initial de la CMP, le contrôle se fait nécessairement à l'aide de la microscopie optique. La différence entre les couleurs du Ti et du SiO_2 permet d'identifier la présence du métal sur la surface. À quelques nanomètres d'épaisseur, par contre, le Ti devient transparent et donc indécélable par microscopie optique, il devient important d'utiliser la microscopie électronique ou l'AFM pour le contrôle à ce niveau de la CMP. La Figure 5.1.6 a) est une image MEB où quatre dispositifs sont identifiables. Dans le motif du haut, il est clair qu'une partie du dispositif est toujours couverte par une masse métallique. À ce niveau, le dispositif est court-circuité, il n'est donc pas fonctionnel. Dans la partie b) de la Figure 5.1.6, la totalité du métal de surface a été ôtée révélant le dispositif supérieur. La Figure 5.1.7 représente les motifs de contrôle de la CMP correspondant aux deux étapes de la Figure 5.1.6. L'existence de métal dans ces motifs de contrôle est révélatrice que l'étape de CMP n'est pas encore achevée.

À un niveau plus avancé de la CMP, l'utilisation de l'AFM devient primordiale. La Figure 5.1.8-a) représente une image MEB de différents dispositifs après une étape de CMP. Il est possible de remarquer que certains dispositifs sont à un niveau de polissage plus avancé que d'autres. Nous avons donc utilisé l'imagerie AFM pour sonder le profile de la surface et comparer la partie métallique et la surface de

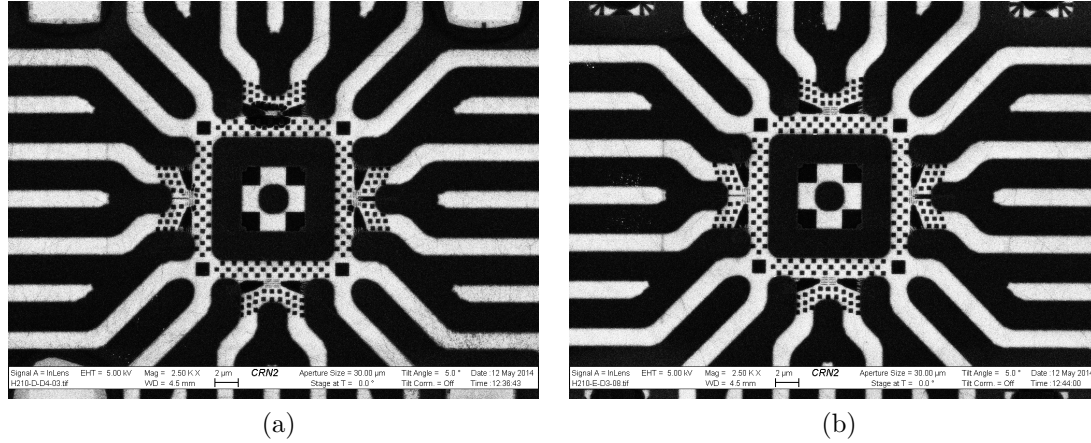


FIGURE 5.1.6 – Images MEB représentant l'évolution des dispositifs suite à une étape de polissage par CMP

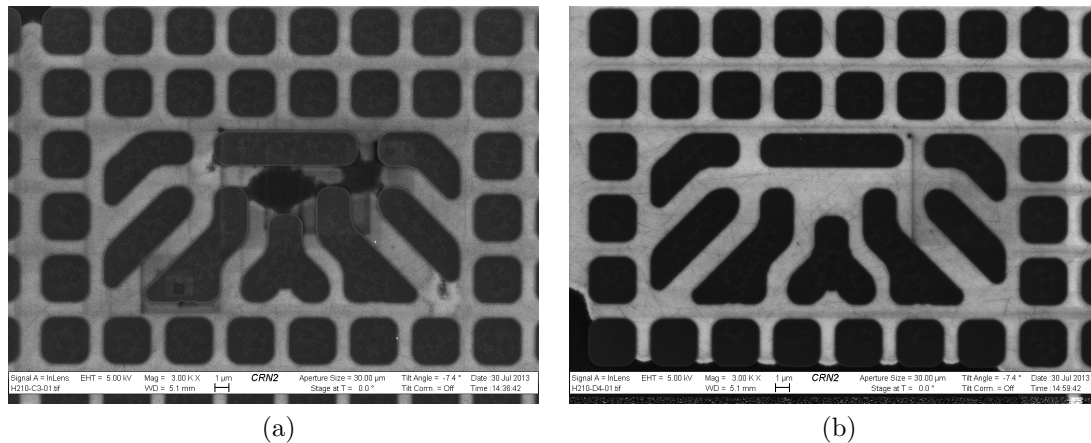


FIGURE 5.1.7 – Images MEB représentant l'évolution des motifs de contrôle suite à une étape de polissage par CMP

l'oxyde. Dans le profil de la Figure 5.1.8-c), la partie métallique est plus élevée que la surface de l'oxyde. Nous sommes donc en présence de métal en surface. Il est donc nécessaire de repasser cet échantillon à la CMP pour libérer les dispositifs en complet [Guilmain 13a]. Cette technique d'observation peut donc faciliter le contrôle du polissage des dispositifs.

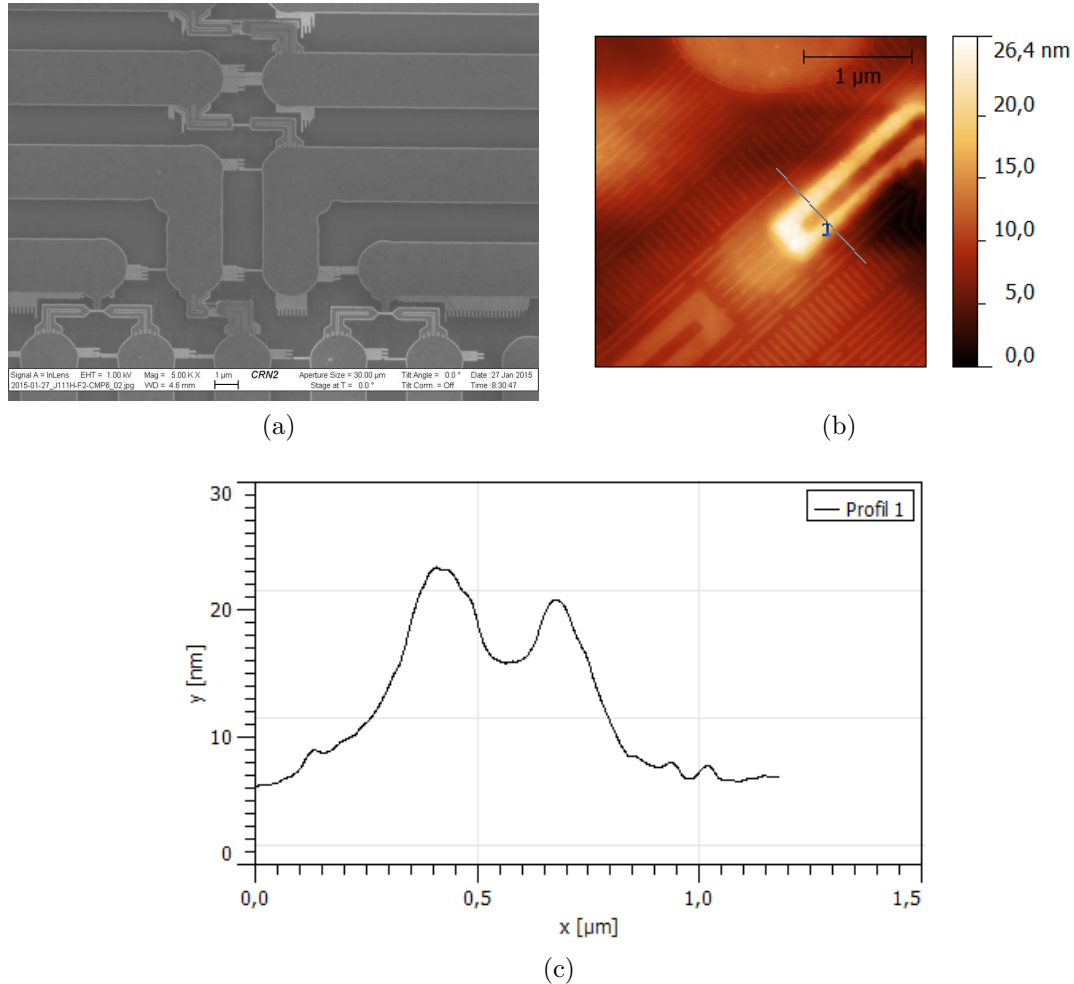


FIGURE 5.1.8 – a) Image MEB représentant de dispositifs après une étape de CMP. b) Image AFM d'un dispositif MIM. c) Profil AFM du dispositif.

5.1.1.5 Description des dispositifs fabriqués

La Figure 5.1.3 nous a donné une première idée des dispositifs fabriqués dans le cadre de ce travail. Comme il a été dit précédemment, les nanofils, les MIM et les SET sont fabriqués simultanément et accolés. La Figure 5.1.9 représente des schémas de chacun des dispositifs. Premièrement, le nanofil est tout simplement une résistance d'un fil métallique de dimensions nanométriques. Dans la deuxième configuration, le nanofil métallique est interrompu par une fine couche d'un matériau

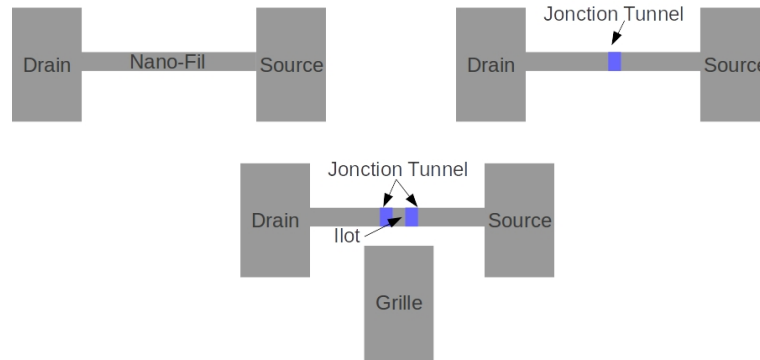


FIGURE 5.1.9 – Schéma représentant les dispositifs : nanofil, MIM et SET fabriqués par le procédé NanoDamascène.

diélectrique qui n'est que la jonction tunnel. Cette structure forme donc une MIM. Dans la troisième configuration, c'est deux jonctions tunnel qui viennent confiner un îlot métallique. Une grille alignée à l'îlot est rajoutée. Le dispositif formé est donc un SET.

L'intérêt des dispositifs nanofils et MIM est nécessairement la caractérisation des matériaux et des dimensions du SET. En d'autres termes, la mesure de la résistance du nanofil permet d'extraire les dimensions de ce dernier et des autres dispositifs. La mesure de la MIM quant à elle permet la caractérisation de la jonction tunnel. Connaissant les dimensions de la jonction tunnel, la hauteur de la barrière de potentiel, la masse effective et la permittivité du diélectrique de la jonction tunnel peuvent être extraites. L'extraction de ces paramètres permet de modéliser correctement le comportement du SET.

5.2 Caractérisation électrique des dispositifs fabriqués avec le procédé NanoDamascène

Dans ce paragraphe nous exposerons les différentes mesures électriques des dispositifs fabriqués par le procédé NanoDamascène. L'interprétation des mesures se fera donc au fur et à mesure que l'on avance dans la discussion.

5.2.1 Échantillon 1

5.2.1.1 Nanofil

L'échantillon 1 rentre parmi les premiers échantillons fabriqués intégrant une jonction tunnel déposée par ALD. Cet échantillon intègre donc une jonction de Al_2O_3 de 3nm d'épaisseur. Nous tenterons donc d'évaluer l'impact de cette jonction sur le fonctionnement du SET.

Dans un premier temps, nous mesurons donc le nanofil adjacent aux autres dispositifs, la Figure 5.2.1 représente la caractéristique Courant-Tension du nanofil d'où une résistance $R = 24k\Omega$ est extraite. Sachant que la largeur du nanofil est de 30nm (observation SEM), nous pouvons estimer donc l'épaisseur de celui ci à 10,1nm

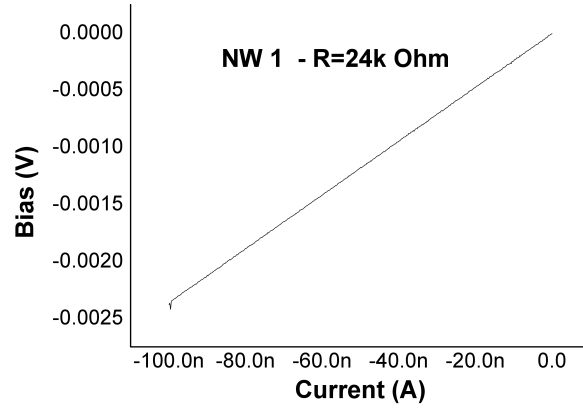


FIGURE 5.2.1 – Résistance du nanofil Échantillon 1

[Ecoffey 11, Guilmain 13a]. Cette estimation est nécessaire pour pouvoir modéliser le comportement de la jonction tunnel plus tard.

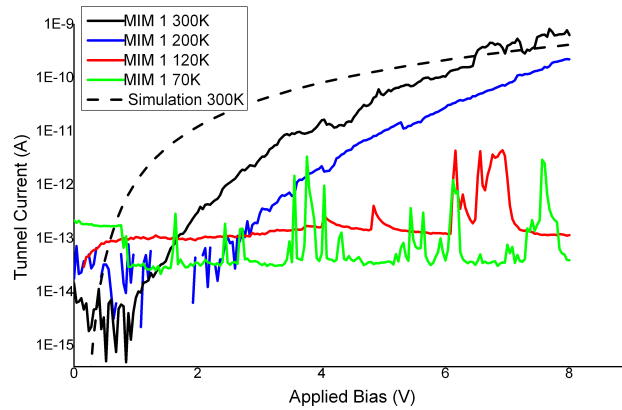


FIGURE 5.2.2 – Caractéristiques I-V dans la MIM de l'Échantillon 1 à différentes températures 70K, 120K, 200K et 300K

5.2.1.2 MIM

La Figure 5.2.2 représente la caractéristique électrique de la MIM NanoDamascène. La MIM de cet échantillon est mesurée à différentes températures 70K, 120K, 200K et 300K et ceci pour mettre en évidence des modes de conceptions différents. Ici il faut remarquer l'abaissement du courant entre 300K et 200K. Sachant que le diélectrique de la jonction tunnel (Al_2O_3) ayant 3nm d'épaisseur et une hauteur de barrière de potentiel plus élevée que 2.6eV, cette diminution du courant ne peut donc être attribuée au courant thermoionique. En refroidissant l'échantillon jusqu'à 120K puis 70K nous remarquons que le courant se présente à un niveau constant subissant des sauts de courant de plusieurs décades. À ce niveau, nous pensons que ce

comportement est dû aux pièges dans le bulk du diélectrique. En effet, le piégeage de charges dans le diélectrique crée un champ électrique fort qui élève la barrière de potentiel et donc réduit considérablement la transparence de la jonction aux électrons ce qui induit un courant tunnel beaucoup plus faible [Christophe 01, Busseret 03]. C'est ce qu'on remarque dans la mesure Figure 5.2.2. Aussi, l'effet de la température appuie cette hypothèse. Une température plus élevée peut assister un électron pour un dé-piégeage plus facile et donc plus fréquent. C'est pour cette raison qu'à des températures très basses, le courant est constant à cause du piégeage plus important des porteurs. La conduction prédominante dans le diélectrique de la MIM un transport par piège.

En complément, la structure a été simulée en utilisant les dimensions du dispositif et les paramètres déjà extraits du diélectrique utilisé avec un modèle de matrices de transmission [El Hajjam 14]. Les paramètres utilisés à température ambiante pour une jonction tunnel de $3nm$ d'épaisseur, $300nm^2$ de surface sont : une permittivité de 7.2 et une hauteur de barrière de $2.7eV$. La caractéristique en ligne discontinue est comparée aux mesures électriques. Le niveau de courant est ici plus bas que le niveau de courant prévu. L'électrode en titane peut être la cause de ce comportement. Le titane attirant les atomes d'oxygène du diélectrique laisse des lacunes importantes dans celui-ci. Ces lacunes forment donc des centres de piégeage responsables de l'élévation de la hauteur de barrière.

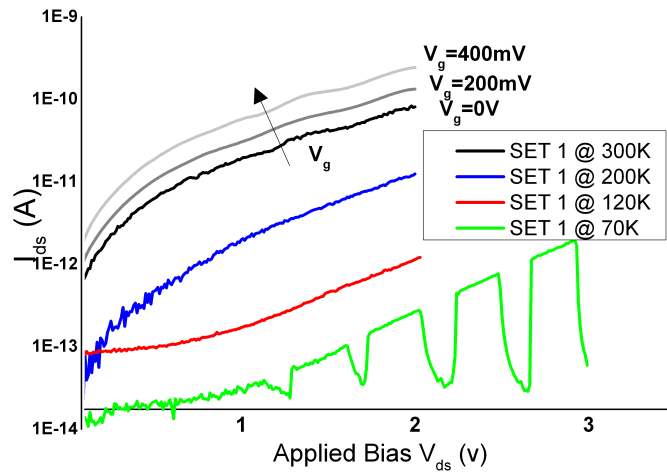


FIGURE 5.2.3 – Caractéristiques $I_d - V_{ds}$ du SET de l'échantillon 1 à différentes températures $70K$, $120K$, $200K$ et $300K$ pour une tension $V_g = 0V$. La tension V_g est variée de 0 à $400mV$ pour la mesure à $300K$.

5.2.1.3 SET

Après la caractérisation du nanofil et de la MIM, nous poursuivons par la caractérisation du SET. Dans le cas de ce SET, nous avons réalisé des mesures $I_d - V_{ds}$ pour des températures $70K$, $120K$, $200K$ et $300K$.

Premièrement, dans la Figure 5.2.3 nous remarquons une diminution du courant du SET lorsque la température de la mesure baisse. Ceci est caractéristique d'un dispositif SET comme l'énergie de charge dépend de la température. Des phénomènes

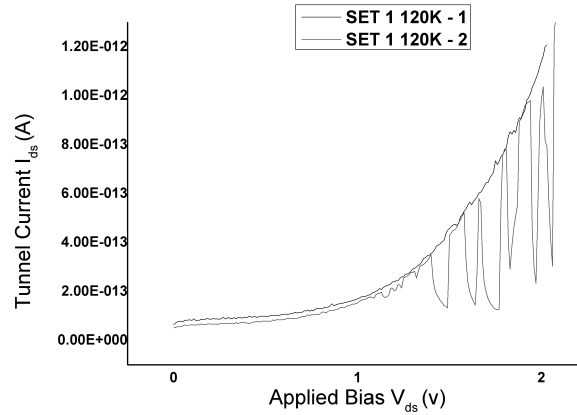


FIGURE 5.2.4 – Caractéristiques I_d - V_{ds} du SET de l'échantillon 1 à 120K pour une tension $V_g = 0V$ avant et après stress.

de chargement et de déchargement se manifestent à 70K. Comme pour la MIM, ceci est dû probablement aux défauts dans les jonctions tunnel du SET. Dans la Figure 5.2.4, ce phénomène est aussi observable lors de la deuxième campagne de caractérisation du SET à 120K. Le stress induit dans le diélectrique crée des lacunes au niveau de celui-ci. Il en résulte deux niveaux de courant qui correspondent à deux niveaux de chargement du diélectrique.

Si dans le cas de ce SET, les mesures $I_d - V_g$ n'ont pas été concluantes, nous remarquons tout de même un léger effet de grille sur la caractéristique $I_d - V_{ds}$ en appliquant une tension V_g de 200mV puis de 400mV. Cet effet de grille peut être dû à une augmentation de l'énergie de l'îlot comme elle peut être due à un simple effet électrostatique. Il ne faut donc pas sauter aux conclusions que le dispositif fabriqué fonctionne tel un SET en utilisant un blocage de Coulomb, sans avoir mesuré les oscillations de Coulomb.

5.2.2 Échantillon 2

Cet échantillon est très semblable à l'échantillon 1, il a donc subi un dépôt ALD de 3nm constituant les jonctions tunnel des MIM. Après les premières mesures, il a été noté que seuls les MIM de l'échantillon sont exploitables. Les mesures de ces MIM vont donc nous permettre de vérifier les hypothèses émises lors de la caractérisation du premier échantillon.

La Figure 5.2.5 représente les mesures de la MIM de cet échantillon à 120K, 200K et 300K. Les mesures du courant tunnel correspondent donc aux mesures du premier échantillon. Les niveaux de courant de cet échantillon sont similaires à ceux de l'échantillon précédent. La caractéristique courant-tension a tendance à baisser en fonction de la température de mesure. Nous supposant que les mêmes phénomènes de transport par piège peuvent être responsables de cela. Dans la mesure à 300K un saut entre deux niveaux de courant entre 5V et 7V est remarqué. Ceci est caractéristique d'un piégeage puis du dé-piégeage d'un électron.

Pour identifier le mode de conduction, nous avons procédé à un tracé de type

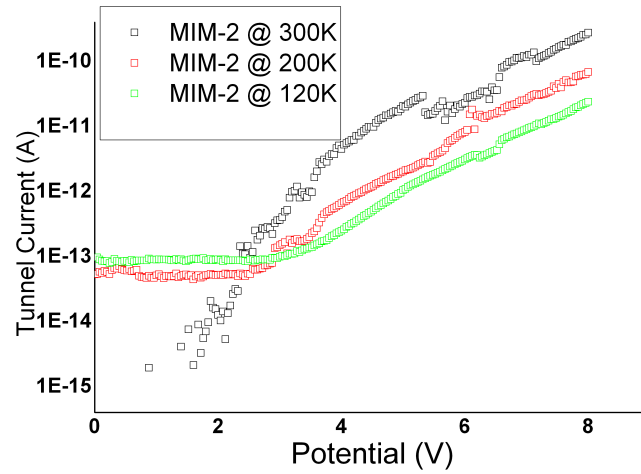


FIGURE 5.2.5 – Caractéristiques $I - V$ dans la MIM de l'Échantillon 2 à différentes températures 120K, 200K et 300K

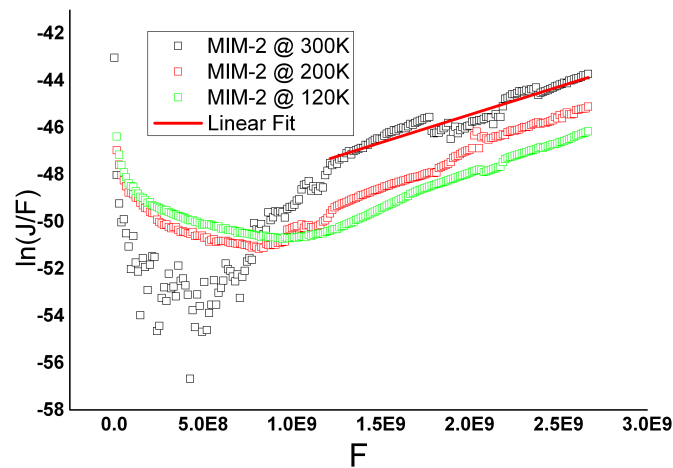


FIGURE 5.2.6 – Tracé Hopping/Pool Frenkel de la caractéristique de la MIM de l'Échantillon 2 à différentes températures 120K, 200K et 300K

Hopping/Pool-Frenckel comme il est décrit dans le deuxième chapitre. Ces deux modes de conduction sont mis en valeur en traçant le logarithme du courant sur le champ électrique contre le champ électrique appliqué. Ce tracé est présenté dans la Figure 5.2.6 pour les températures de mesure $120K$, $200K$ et $300K$. Les caractéristiques se comportent en droite à partir d'un potentiel appliqué de $4V$. Ceci est une preuve de l'existence d'une conduction par Hopping ou par Pool-Frenckel. Cette conduction est prononcée de la même manière, peu importe la température de mesure. Comme la conduction Pool-Frenckel se caractérise par un transport entre pièges par émission thermoionique, il est plus probable d'être en présence d'une conduction par Hopping et donc d'un transport par effet tunnel entre pièges. Dans la partie suivante, nous tenterons de corriger certains défauts en réalisant des recuits sous forming gaz ($N_2 - H_2$ 90%-10%).

5.2.2.1 Le recuit $N_2 - H_2$

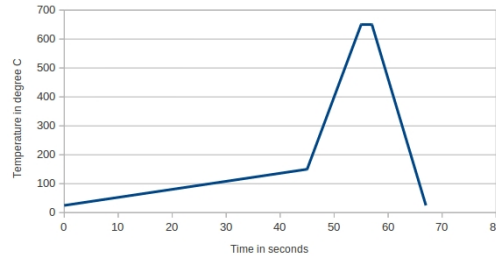


FIGURE 5.2.7 – Consigne de température du recuit RTA sous forming gaz (N_2-H_2 90%-10%).

Pour améliorer la caractéristique du courant, nous allons procéder à des recuits sous $N_2 - H_2$. Les premiers tests de recuits montrent que les jonctions tunnel très fines réagissent mal au recuit. En favorisant la diffusion de l'oxygène des jonctions tunnel dans le Ti , les jonctions tunnel sont court-circuitées. Pour cette raison, nous avons opté pour des recuits par PULSE. L'augmentation rapide de la température a comme objectif d'éviter la diffusion de l'oxygène, qui est un processus qui demande plus de temps. Ce recuit est donc réalisé dans un four RTA (rapide thermal annealing). La Figure 5.2.7 représente la caractéristique en température du recuit sélectionné pour les jonctions tunnel. Une première montée lente jusqu'à une température de base de $150^\circ C$ est suivie d'une montée rapide jusqu'à une température de $650^\circ C$ puis une descente rapide à la température ambiante. Si la température mesurée pendant la montée est similaire à la température de consigne appliquée, la température de descente se fait avec une exponentielle décroissante différente de la consigne appliquée.

Pour le développement de la recette, plusieurs nanofils ont été recuits pour évaluer la conséquence du recuit sur la conductivité du Ti . En effet, le Ti dopé N est plus résistif. Le Tableau 5.1 montre les résultats des mesures des nanofils avant et après le recuit. Ces nanofils avant le recuit ont une résistance mesurée d'environ $10k\Omega$ ceci correspond à des nanofils de $20nm$ d'épaisseur pour $20nm$ de largeur. Après recuit, la résistance de ces nanofils est comprise entre $257.6k\Omega$ et $345.7k\Omega$. Il est normal

que le dopage en nitrure du Ti provoque une augmentation de la résistivité qui reste acceptable dans notre cas. Ce procédé n'est pas complètement reproductible bien que cela puisse être dû à la reproductibilité du procédé de fabrication des nanofils en lui-même.

Tableau 5.1 – Résistance des nanofils avant et après recuit.

# du nanofil	1	2	3	4
Avant recuit	9.48k Ω	11.58k Ω	9.23k Ω	10.6k Ω
Après recuit	345.7k Ω	336.4k Ω	303.2k Ω	257.6k Ω

5.2.2.2 Échantillon 2 après recuit PULSE N2-H2

Cet échantillon a subi le recuit rapide dans le but d'optimiser le courant tunnel à travers la jonction. La Figure 5.2.8 présente les mesures électriques de ce dernier après le recuit PULSE sous N_2-H_2 . La courbe noire représente la mesure dans le noir alors que la courbe rouge représente la mesure sous éclairage. La courbe verte quant à elle représente des sauts de courant dus à un déclenchement puis une interruption de l'éclairage. Les deux courbes correspondent plus au comportement d'une jonction tunnel dans une exponentielle décroissante. En effet le comportement du courant sous éclairage ou pas correspond à un chargement/déchargement d'un piège par excitation lumineuse, ce qui veut dire que tous les défauts n'ont pas été guéris par le recuit. Par contre le comportement de la jonction tunnel est reproductible, non bruité et stable en comparaison aux mesures avant le recuit.

Le tracé Hopping/Pool-Frenkel de la Figure 5.2.9 montre aussi la signature d'une conduction par défaut existant dans la jonction tunnel. La simulation dans la Figure 5.2.8 (ligne discontinue bleue) correspond à une jonction tunnel d'une épaisseur de 4nm pour une hauteur de barrière de 2.2eV une permittivité de 7.2 et une masse effective de 0.4.

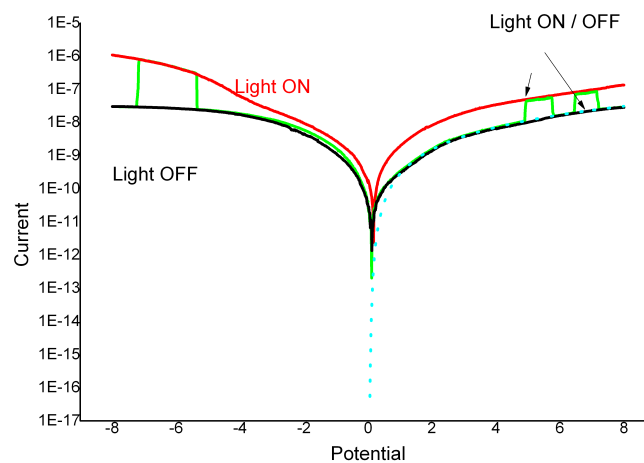


FIGURE 5.2.8 – Mesure électrique du courant tunnel de la MIM de l'échantillon 2 après recuit dans des conditions d'éclairage et d'obscurité.

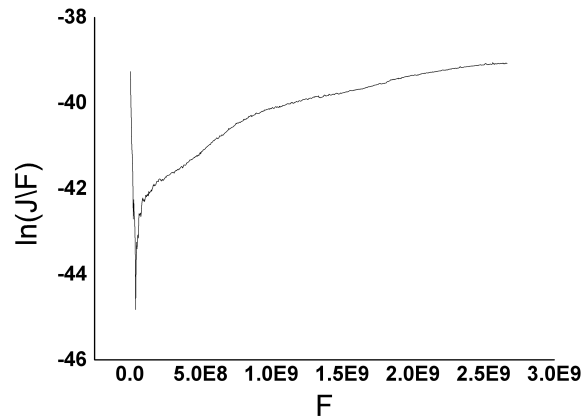


FIGURE 5.2.9 – Tracé Hopping/Pool Frenkel de la caractéristique de la MIM de l'Échantillon 2 après recuit.

5.2.3 Échantillon 3

En utilisant une variante du procédé NanoDamascène [Ecoffey 11], nous avons réalisé des jonctions tunnel optimisées de type R-VARIOT asymétrique, semblables aux structures étudiées dans les chapitres précédents. Dans le cas de cet échantillon, une couche mince de 5nm de TiO_x a été formée en utilisant un procédé d'oxydation par plasma. Après, l'échantillon a été rincé dans une solution d'acide fluorhydrique HF 2% pendant deux secondes pour former une couche d'oxyde 1nm TiO_x qui va correspondre à notre couche LBLK [Dubuc 08a, Beaumont 09a, Ecoffey 11]. Après, dans un réacteur Fiji200, Ultratech Cambridge NanoTech, une couche de Al_2O_3 de 1nm a été déposée en utilisant le TMAH et le plasma O_2 comme précurseurs pour une durée de 11 cycles de dépôt [El Hajjam 14, El Hajjam 15]. La fabrication de cet échantillon a été effectuée par M. Guilmain, sauf pour la jonction tunnel qui a été traitée par nous-mêmes.

La MIM et le SET fabriqués ont été mesurés dans un système de caractérisation cryogénique pouvant descendre jusqu'à 1K en température. La Figure 5.2.10 représente la caractéristique mesurée et simulée à 1.6K de la MIM de cet échantillon. Comme pour les autres échantillons la mesure d'un nanofil adjacent nous a permis d'évaluer la profondeur des tranchées (qui correspond à la hauteur du nanofil). La largeur des dispositifs a elle été mesurée en utilisant la microscopie électronique à balayage. La surface de la jonction tunnel a donc été évaluée à 25 nm X 4.8 nm. Comme la première couche correspond à un TiO_x précédemment mesuré à plus grande épaisseur, sa constante diélectrique est aux environs de 3.5 alors que sa barrière de potentiel est de 0.32eV par rapport au Titane [Dubuc 09]. La couche de Al_2O_3 quant à elle, a une permittivité de 7 et une hauteur de barrière de 2.7eV [El Hajjam 14]. Ces valeurs ont été donc extraites d'expériences indépendantes. Dans la Figure 5.2.10, nous pouvons donc remarquer la correspondance de la mesure et de la simulation pour des épaisseurs de 1.1nm de TiO_x et de 0.72nm de Al_2O_3 [Dubuc 09][El Hajjam 14].

Dans la Figure 5.2.11, les caractéristiques mesurées et simulées du SET à 1.6K

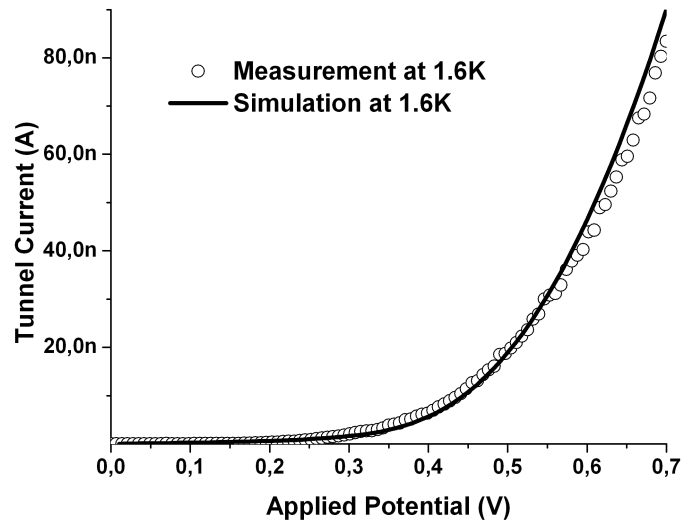


FIGURE 5.2.10 – Données expérimentales et simulation d'une MIM composée de 1.1nm de TiO_x et 0.72nm de Al_2O_3 à 1.6K [El Hajjam 15, GUILMAIN 13b].

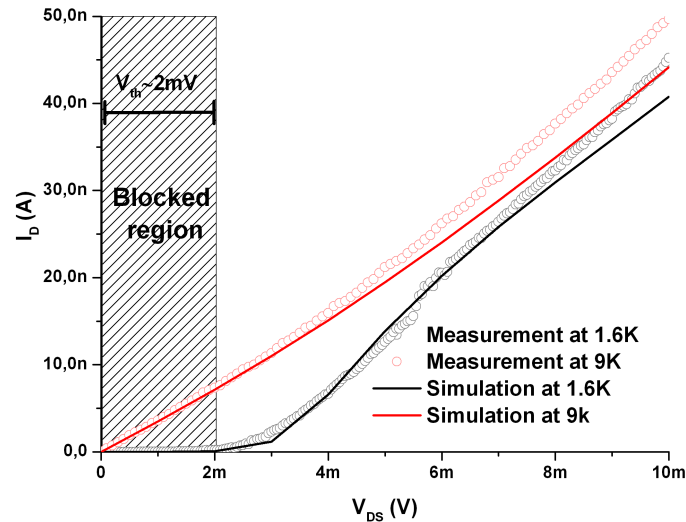


FIGURE 5.2.11 – Données expérimentales et simulation de la caractéristique I_d - V_{ds} du SET ayant une jonction tunnel composée de 1.1nm de TiO_x et 0.65nm de Al_2O_3 à 1.6K et 9K [El Hajjam 15, GUILMAIN 13b].

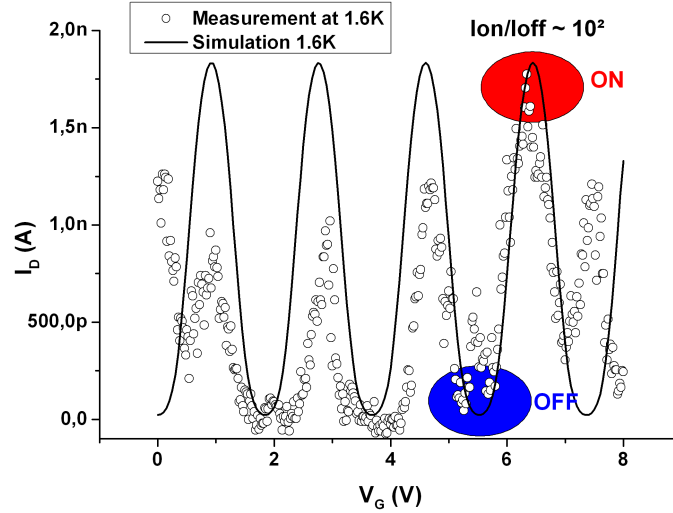


FIGURE 5.2.12 – Données expérimentales et simulation de la caractéristique $I_d - V_g$ du SET ayant une jonction tunnel composée de 1.1nm de TiO_x et 0.65nm de Al_2O_3 à 1.6K pour $V_{ds}=2mV$ [El Hajjam 15, GUILMAIN 13b].

et 9K sont représentées. La simulation du SET a été effectuée avec une légère variante des paramètres de la MIM. L'épaisseur de l' Al_2O_3 a été modifiée de 0.72nm à 0.65nm pour le SET. Les mêmes paramètres ont donc été utilisés pour simuler la caractéristique $I_d - V_{ds}$ du SET. Cette caractéristique montre un seuil de potentiel clair autour de 2mV où le dispositif passe d'un état bloqué à un état passant. La capacité de la jonction tunnel est donc évaluée à environ 23aF pour laquelle le blocage de Coulomb ne peut être mesuré pour des températures plus élevées que 4K. En utilisant un environnement de simulation Comsol 3D, la structure dans la Figure 5.2.13 a été simulée par la méthode des éléments finis. Nous estimons la capacité de l'îlot à 21aF par rapport à son environnement, ce qui est proche de la valeur 23aF.

La Figure 5.2.12 montre la caractéristique $I_d - V_g$ du SET à 1.6K confirmant les résultats précédents. La période d'oscillation est évaluée à une valeur régulière de 1.84V. La capacité de grille peut donc être estimée à 0.087aF. Dans un modèle de condensateur de type plaques parallèles, cette valeur correspond à une épaisseur de SiO_2 ($\epsilon_r = 3.9$) de 50nm, une largeur de 25nm et une profondeur de 5nm. Ces dimensions sont du même ordre que la limite de mesure des dimensions dans l'image AFM présentée dans la Figure 5.2.13. La profondeur de 5nm est extraite de la mesure de la résistance d'un nanofil adjacent au SET. La caractéristique $I_d - V_g$ est comparée à la simulation en utilisant les mêmes paramètres que pour la caractéristique $I_d - V_{ds}$. Les irrégularités observées dans l'amplitude et la période des oscillations de Coulomb peuvent être liées au phénomène de piégeage et dépiégeage discuté précédemment [El Hajjam 15].

Ce dispositif montre donc des oscillations de Coulombs, prouvant la possibilité d'optimiser la jonction tunnel du SET. Il reste tout de même qu'un énorme travail doit encore être fait pour étudier et optimiser les matériaux de la jonction tunnel et ses interfaces pour supprimer les défauts et pièges existants dans le diélectrique, et qui constituent une source importante de bruit pour le SET.

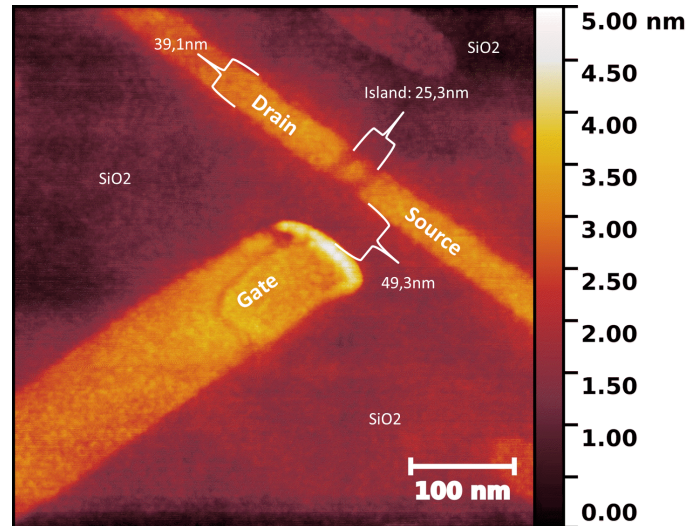


FIGURE 5.2.13 – Image AFM montrant un SET d’une grille de 49.3nm, drain, source et un îlot d’une largeur de 25.3nm et une longueur de 39.1nm entre deux jonctions tunnel [El Hajjam 15, GUILMAIN 13b].

5.3 Perspectives

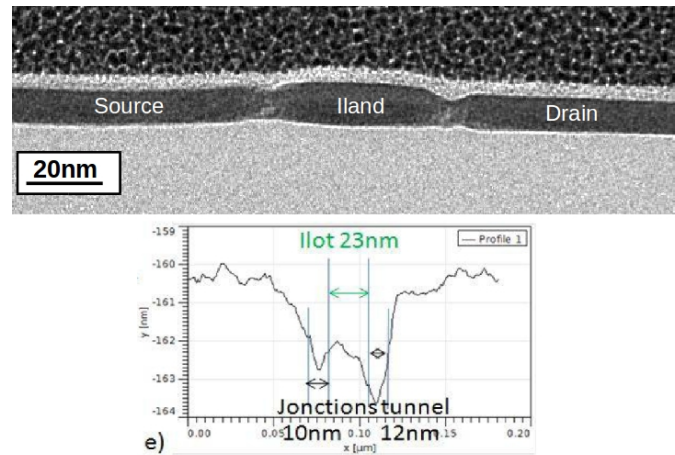


FIGURE 5.3.1 – Image TEM du SET montrant l’îlot, le drain et la source ainsi que le profil AFM de la structure [Jouvet 12].

Cette partie présente les différentes directions à prendre pour poursuivre le développement du transistor à un électron, l’amélioration de ses caractéristiques et son fonctionnement à température ambiante. Dans un premier temps, nous discuterons des différentes améliorations à apporter en terme des matériaux utilisés dans la fabrication du dispositif. Dans un deuxième temps, nous allons discuter des méthodes pour diminuer la capacité de l’îlot du SET tout en gardant une reproductibilité importante. Finalement, et juste avant de conclure notre paragraphe, nous discuterons des possibilités d’intégration du SET.

5.3.1 Matériaux

L'optimisation des matériaux dans la fabrication du transistor à un électron est d'une importance primordiale. Comme il a été discuté au début de ce chapitre, ces matériaux doivent être compatibles à une intégration en BEOL du CMOS. À cause de cette contrainte, la liste des matériaux est sensiblement réduite. Par contre, la plupart de ces matériaux n'ont pas été étudiés pour une intégration dans la fabrication du SET le plus souvent pour des raisons technologiques. Par ailleurs, l'utilisation du Ti dans le procédé implique plusieurs problèmes.

La Figure 5.3.1 représente une photo TEM (Transmission Electron Microscope) d'une coupe SET faite dans le cadre du projet de Nicolas Juvet [Juvet 12]. L'îlot du SET apparaît confiné entre deux jonctions tunnel puis les drain et source du dispositif. L'effet de la CMP sur les jonctions tunnel du SET peut être remarqué. La mesure AFM montre un amincissement important de ces jonctions, chose qui influence le comportement électrique de ces dernières. Il est donc important de résoudre ce problème en optimisant le procédé de la CMP ou en choisissant des couples de matériaux ayant une vitesse de polissage beaucoup plus proche.

Aussi, dans la même figure, une couche fine d'oxyde de titane enveloppe le titane du dispositif. La formation de cette couche est due à la propriété du titane à réagir rapidement à la présence de l'oxygène, que ce soit l'oxygène de l'air ou celui du substrat en SiO_2 . À long terme, ce processus d'inter diffusion Ti/O cause des instabilités dans le métal des îlot, source et drain comme dans les jonctions tunnel. L'intégration du TiN et du SiN comme barrière anti-diffusion de l'oxygène peut constituer une solution à ce problème [Guilmain 13a].

Par ailleurs, dans les chapitres précédents, nous avons discuté de l'importance de l'intégration de nouveaux diélectriques ou empilements de diélectriques pour l'optimisation du courant à travers les jonctions tunnel du SET. Il est donc important d'investiguer plusieurs de ces matériaux pour optimiser les caractéristiques électriques du SET. La technique de dépôt ALD offre des possibilités immenses en terme de versatilité et aussi de matériaux.

5.3.2 La miniaturisation

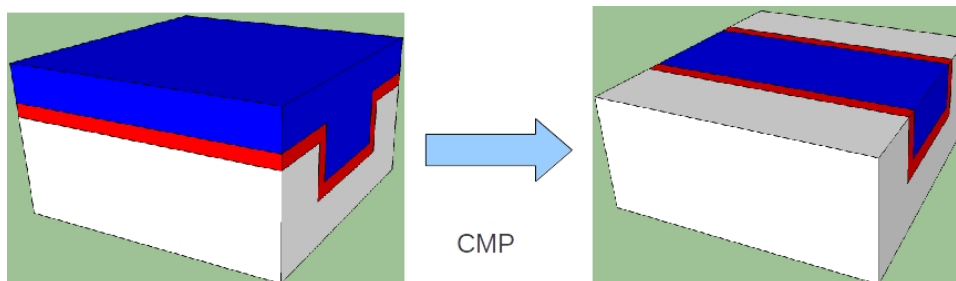


FIGURE 5.3.2 – Amincissement de la tranchée contenant un nanofil métallique (Bleu) après dépôt d'un diélectrique par ALD (rouge) sur un substrat de SiO_2 (Blanc), avant et après CMP.

Comme il a été expliqué dans les premiers chapitres, il est important d'assurer une

capacité de l'îlot du SET très faible pour assurer une énergie de charge suffisante pour l'opération du SET à température ambiante. Il est en effet très difficile d'optimiser les étapes de lithographie à ce niveau de miniaturisation. Pour cette raison il faut donc travailler sur différents points du procédé de fabrication du transistor à un électron : l'étape la plus critique du procédé étant la CMP, mais aussi, le dépôt et la gravure. Le développement d'une recette optimisée pour le polissage conforme des différents matériaux du dispositif est nécessaire, mais ne nous permettra pas d'avancer dans la miniaturisation du SET, mais cela nous permettra surtout de pouvoir intégrer des matériaux et des techniques différentes qui pourront améliorer d'autres aspects du procédé.

L'utilisation du dépôt ALD peut nous apporter plusieurs avantages. Il a été discuté précédemment de l'utilité de cette technique dans le dépôt des jonctions tunnel du SET grâce au dépôt conforme, du contrôle de l'épaisseur du dépôt à 0.1nm et aussi au grand choix de matériaux pouvant être déposés à des températures inférieures à 400°C . Une autre utilisation de l'ALD est l'amincissement des tranchées. Dans la Figure 5.3.2, la tranchée est gravée dans le SiO_2 (matériau en blanc). Cette tranchée est donc amincie par un dépôt conforme d'un matériau diélectrique (en rouge) pour réaliser un nanofil métallique (en bleu) encore plus fin après la CMP.

La gravure sèche est aussi une étape critique à optimiser pour la formation de l'îlot métallique dans la tranchée. Le dépôt du nanofil métallique dans la tranchée (Figure 5.1.8) est fait par la technique du liftoff. Cette technique souffre cependant d'un problème de variabilité et n'est pas compatible avec des procédés de fabrication à grande échelle. Le développement d'une recette de gravure sèche peut donc résoudre ces problèmes. Aussi, la gravure sèche peut être optimisée pour graver latéralement le nanofil métallique, ceci peut donc diminuer la taille de l'îlot se trouvant dans la tranchée.

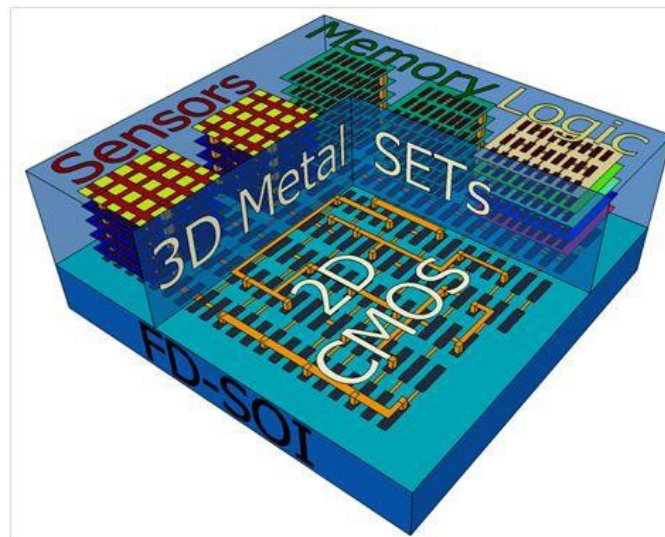


FIGURE 5.3.3 – Schématisation du résultat de l'intégration de SETs dans le BEOL d'un noeud technologique CMOS, destiné à la réalisation d'une architecture hybride 3D s'inscrivant dans le More Than Moore [Jouvet 12].



FIGURE 5.3.4 – Coupe TEM d'un SET fabriqué au dessus du premier niveau de métal (Métal 1) d'un procédé CMOS [Jouvet 12]

5.3.3 L'intégration

Finalement, il est important de préciser l'intérêt du SET métallique dans un contexte qui tend à fonctionnaliser les circuits électroniques dans la 3e dimension. L'importance du composant reste donc sa compatibilité avec les procédés CMOS standards. Dans la Figure 5.3.3, nous concevons le SET dans le BEOL d'une technologie CMOS. Cette intégration permet entre autres l'augmentation de la densité tout en diminuant le coût de fabrication. Elle permet aussi de rapprocher les modules de transductions dans la troisième dimension au transistor. De cette manière le SET métallique compatible BEOL est perçu comme un précurseur pour avancer dans la direction du More Than Moore. Dans la coupe TEM de la Figure 5.3.4, l'îlot du SET est fabriqué au dessus du premier niveau de métallisation d'un procédé MOS. Ceci est une première étape dans le cadre de l'intégration de cette technologie.

5.4 Conclusion

Le procédé NanoDamascène pour la fabrication du SET est un procédé compatible BEOL de CMOS. Nous avons donc identifié les contraintes technologiques critiques pour la fabrication du SET. Plus tard, nous avons décrit les différentes étapes critiques du procédé NanoDamascène pour la fabrication des dispositifs nanofil, MIM et SET. Les mesures des dispositifs MIM et SET nous ont montré la possibilité de réaliser des dispositifs SET en utilisant des jonctions tunnel déposées par ALD. Nous avons aussi observé des phénomènes de pièges dans les diélectriques déposés, que nous avons essayé de traiter par des recuits sous $N_2 - H_2$. Cependant, ces jonctions tunnel doivent encore être optimisées pour un fonctionnement du SET à température ambiante.

Conclusion et perspectives

Rappel des objectifs

L'objectif de ce travail de recherche est d'améliorer les caractéristiques électriques du transistor à un électron en optimisant ses jonctions tunnel de drain et de source. L'étude théorique préliminaire nous a conduits à proposer des jonctions tunnel optimisées, basées sur un empilement de matériaux diélectriques ayant des propriétés différentes en termes de hauteurs de barrière et de permittivités relatives.

Contribution et bilan des travaux effectués

Notre contribution peut-être divisée principalement en trois grands axes : 1) La formulation théorique des besoins du SET et plus particulièrement de ses jonctions tunnel. 2) Le développement d'outils de simulation appropriés pour l'étude des jonctions tunnel du SET et l'identification des stratégies d'optimisation de ces dernières grâce aux simulations. 3) L'étude expérimentale et l'intégration technologique des jonctions tunnel optimisées dans le procédé de fabrication de SET métallique.

Dans le premier axe de ce travail, nous avons étudié le comportement de la jonction tunnel du SET dans ses différents points de fonctionnement. Nous avons donc utilisé des simulateurs (MARSSEA et SIMON) basés sur la théorie orthodoxe pour comprendre la distribution du champ électrique dans chacune des jonctions tunnel du coté drain et source, pour différentes conditions de polarisation. Nous avons rapidement identifié un lien avec le développement déjà effectué sur les jonctions tunnel des mémoires non volatiles. Nous avons proposé, une jonction tunnel optimisée pour la conduction dans un SET, basée sur un empilement de matériaux diélectriques. Nous avons utilisé les propriétés des matériaux diélectriques pour concevoir cette jonction « idéale ». Le choix des matériaux empilés se base sur leur hauteur de barrière de potentiel afin de filtrer les modes de conduction dans le SET. La permittivité des couches diélectrique redistribue le champ électrique, dans chacune des couches, pour optimiser la conduction. Elle permet aussi de conserver une permittivité effective globale faible pour réduire la capacité de la jonction tunnel.

Dans le deuxième axe de ce travail, nous avons tout d'abord développé les outils de simulation nécessaire pour valider nos hypothèses. Dans un premier temps, nous avons implémenté la méthode des matrices de transmission pour le calcul du courant tunnel à travers une jonction tunnel composée de multiples couches diélectriques. Une fois le modèle validé nous avons utilisé la plateforme de simulation de SET (MARSSEA) conçue au sein de l'équipe comme base pour implémenter un simulateur de SET (MARSSEA-TM) se basant sur les matrices de transmission pour

la simulation de SET intégrant des jonctions tunnel optimisées à multiples couches diélectriques. Nous avons ainsi mesuré l'effet de ces jonctions tunnel optimisées sur le comportement électrique du DG-SET (SET à double grille) et retenu les jonctions tunnel intéressantes pour une intégration technologique. Nous sommes allés plus loin en simulant un circuit élémentaire logique : l'inverseur à base de DG-SET, prouvant l'apport de cette étude.

Dans le troisième axe, nous avons mené une étude expérimentale pour déposer les matériaux nécessaires pour la fabrication de la jonction tunnel optimisée. Dans un premier temps, nous avons développé des recettes de dépôt par la technique de dépôt par couche atomique (ALD) de différents matériaux diélectriques. Nous avons caractérisé physiquement, chimiquement et électriquement ces matériaux pour finalement extraire leurs paramètres électriques. Nous avons ultérieurement fabriqué et mesuré des jonctions tunnel optimisées utilisant des empilements des différents matériaux étudiés précédemment. Finalement, nous avons travaillé en collaboration avec l'équipe de Sherbrooke et de l'INL pour l'intégration de cette jonction tunnel dans des dispositifs SET et leurs caractérisations.

Limites et perspectives

Le travail effectué dans le cadre de cette thèse n'est qu'une première étape de l'ingénierie des jonctions tunnel du transistor à un électron. Il est vrai qu'il a permis de démontrer l'apport important de l'optimisation des jonctions tunnel pour l'amélioration du dispositif SET. Ces résultats devraient donc constituer une base pour expérimenter une gamme plus large de matériaux et de combinaisons de diélectriques. Combiné à cet étude, il faudrait bien évidemment explorer différents métaux pour la fabrication des drain, source et îlot du SET.

Aussi, il est important de rappeler les autres travaux en cours pour le développement du SET et qui sont aussi pertinents que ce travail. En effet, les recherches de mes confrères visent à améliorer le procédé de fabrication du SET en travaillant sur différents aspects de la lithographie et de la gravure. L'intégration de ces dispositifs en BEOL d'une technologie CMOS, pour implémenter des fonctions logiques comme pour la transduction, est aussi l'objet de différentes expérimentations. Finalement, la fabrication de circuits logiques élémentaires tels des automates quantiques est aussi en cours de développement, donnant donc tout son sens au résultat de ce travail de thèse.

Annexes

Annexe A

Techniques de Micro-fabrication

A.1 L'évaporation par canon à électrons

Cette technique est une forme de dépôt physique en phase vapeur (PVD). Dans ce cas précis, une cible polarisée positivement est bombardée par un canon à électrons. La Figure A.1 représente le schéma d'un évaporateur par canon à électrons.

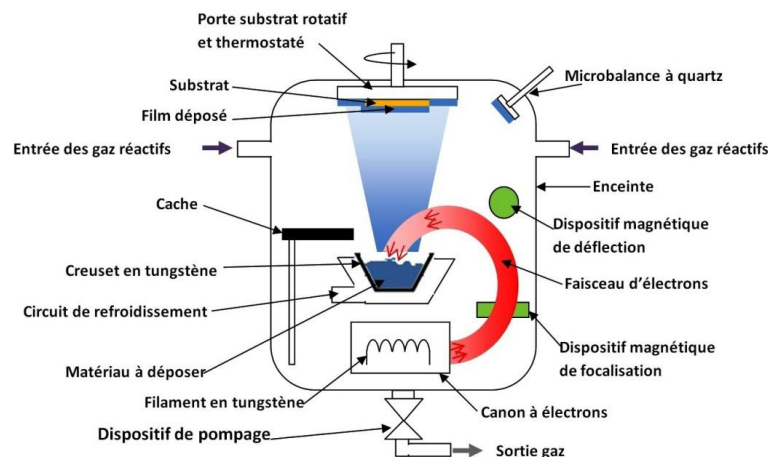


FIGURE A.1 – Schéma d'un évaporateur par canon à électrons [FAUCHAIS 13]

Comme il est représenté dans le schéma, sous vide ($< 10^{-4}$ Torr), un filament de tungstène génère des électrons qui sont accélérés dans un champ électrique pour bombarder la cible dans le creuset de tungstène. Le bombardement transforme le matériau de la cible de l'état solide à l'état gazeux. En conséquence, le matériau à l'état gazeux se retrouve évaporé dans l'enceinte de l'évaporateur et se dépose donc sur l'échantillon placé dans le porte substrat. Le courant induit au filament de tungstène est par conséquent directement relié à la vitesse de dépôt mais aussi à la taille des grains. Un courant plus élevé produit généralement un dépôt plus rapide et une taille de grains plus grande. En exploitant des informations chimiques sur les matériaux évaporés, l'épaisseur déposée peut être calculée par rapport à la masse mesurée par une microbalance à quartz située au sein de l'enceinte [FAUCHAIS 13, Bessot 85].

En théorie de nombreux matériaux peuvent être déposés par évaporation par canon à électrons. Des lignes de gaz réactif peuvent être aussi utilisées pour produire et déposer des oxydes ou des nitrures des matériaux évaporés.

A.1.1 Avantages de l'évaporation par canon à électrons

Les avantages de l'évaporation par canon à électrons sont nombreux. Parmi les avantages les plus pertinents dans le cadre de notre étude sont les suivants :

1. La plupart des métaux peuvent être évaporés par canon à électrons : la nature de la technique la rend aussi plus économique, car une quantité limitée du matériau peut être utilisée dans la cible contrairement à d'autres techniques. La cible peut aussi être rechargée à chaque utilisation.
2. La vitesse du dépôt peut être très variable en fonction du résultat morphologique recherché. Un contrôle important de la taille des grains et de l'épaisseur peut être obtenue grâce à l'optimisation des paramètres de dépôt.
3. Le dépôt réalisé est homogène sur une grande surface, allant jusqu'à 8 pouces. Ce qui permet le dépôt sur de grandes surfaces ou sur plusieurs échantillons.
4. L'optimisation des paramètres (pression et intensité) peut aussi engendrer un dépôt directionnel, intéressant pour les applications à des procédés Lift-Off.

A.1.2 Inconvénients de l'évaporation par canon à électrons

1. Comme il a été dit précédemment, cette technique de dépôt ne permet pas de faire de revêtement homogène sur des motifs dans les deux dimensions. (Ceci est un avantage pour d'autres applications comme le Lift-Off).
2. À cause de l'énergie faible de certains matériaux déposés (Or, Pt) l'adhésion de ces matériaux sur le substrat peut être limitée. Pour cette raison des couches d'accroches (Ti, Cr) peuvent être utilisées comme solution à ce point. Il n'est donc pas certain de pouvoir achever la qualité recherchée dans les interfaces des différents matériaux.

A.2 La photolithographie

La photolithographie ou la lithographie optique ou lithographie UV est un procédé courant et crucial dans le développement de l'industrie de la microélectronique. Cette technique utilise la lumière pour transférer des motifs géométriques d'un photo-masque à une résine photosensible. Des techniques différentes pourront être utilisées ultérieurement, pour transférer le motif cette fois de la résine à l'échantillon. Dans notre cas, nous nous intéresserons au procédé lift-off, pour la formation des électrodes métalliques supérieures et de la gravure (humide ou sèche) pour la prise de contact sur l'électrode inférieure par exemple [VOISIN 07, ISMAILOVA 09, Aspelmeier 01].

La Figure 3.1.7 représente, les différentes étapes de photolithographie. Deux cas sont représentés, à gauche : la gravure du substrat, à droite : le Lift-Off d'une couche métallique. L'objectif des deux techniques est le transfert du motif du photo-masque au substrat. Dans les deux cas, les premières étapes sont les suivantes :

1. L'étalement (ou Spin-Coat) d'une résine photosensible sur le substrat. Une étape de recuit est généralement nécessaire pour évaporer les solvants de la résine et durcir celle-ci.
2. À l'aide d'un masque, une partie de la résine étalée est insolée. Dans le cas d'une résine positive, les parties insolées de la résine deviennent solubles.
3. L'immersion dans un développeur dédié à la résine révélera donc les motifs du masque.

A partir de cette étape deux scénarios sont possibles. Le premier (à gauche de la Figure A.2), consiste à la gravure en utilisant une technique de gravure sèche ou humide. Dans le deuxième cas, une couche métallique est déposée par évaporation. Une partie du métal se retrouve donc sur le substrat reproduisant les motifs du masque, alors que l'autre partie se retrouve sur la résine.

Dans les deux cas, une dernière étape est nécessaire pour le retrait de la résine et la révélation des motifs. Cette étape est plus critique dans le cas d'un procédé de soulèvement chimique (Lift-Off). Dans ce cas précis, la solution dissout la résine par les flans de celle-ci. Il est aussi nécessaire d'éviter le re-dépôt métallique.

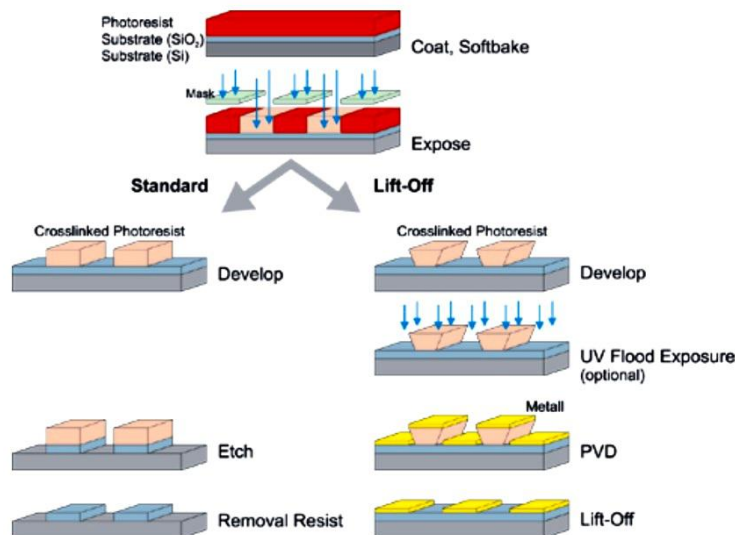


FIGURE A.1 – Procédé de photolithographie pour une application à la gravure (Gauche) et une application au Lift-Off d'un dépôt métallique (Droite) [Microresist 15].

Bibliographie

- [Abramowitz 64] M. Abramowitz & I.A. Stegun. Handbook of mathematical functions : With formulas, graphs, and mathematical tables. Applied mathematics series. Dover Publications, 1964. [www](#)
- [Ando 87] Yuji Ando & Tomohiro Itoh. *Calculation of transmission tunneling current across arbitrary potential barriers*. J. Appl. Phys., vol. 61, page 1497, 1987.
- [Arnaud Bournel 04] Philippe Dollfus Sylvie Galdin-Retailleau Arnaud Bournel. *Electronique ultime*. Les nanosciences : Nanotechnologies et nanophysique, pages 345–373, 2004.
- [Aspelmeyer 01] M Aspelmeyer, U Klemradt, W Hartner, H Bachhofer & G Schindler. *High-resolution x-ray reflectivity study of thin layered Pt-electrodes for integrated ferroelectric devices*. Journal of Physics D : Applied Physics, vol. 34, no. 10A, page A173, 2001. [www](#)
- [Averin 86] D.V. Averin & K.K. Likharev. *Coulomb blockade of single-electron tunneling, and coherent oscillations in small tunnel junctions*. Journal of Low Temperature Physics, vol. 62, no. 3-4, pages 345–373, 1986.
- [Azuma 10] Yasuo Azuma, Yuhsuke Yasutake, Keijiro Kono, Masayuki Kanehara, Toshiharu Teranishi & Yutaka Majima. *Single-Electron Transistor Fabricated by Two Bottom-Up Processes of Electroless Au Plating and Chemisorption of Au Nanoparticle*. Japanese Journal of Applied Physics, vol. 49, 2010.
- [Azuma 11] Yasuo Azuma, Seiichi Suzuki, Kosuke Maeda, Norio Okabayashi, Daisuke Tanaka, Masanori Sakamoto, Toshiharu Teranishi, Mark R. Buitelaar, Charles G. Smith & Yutaka Majima. *Nanoparticle single-electron transistor with metal-bridged top-gate and nanogap electrodes*. Appl. Phys. Lett., vol. 99, page 073109, 2011.
- [Bardeen 61] J. Bardeen. *Tunnelling from a Many-Particle Point of View*. Phys. Rev. Lett., vol. 6, pages 57–59, Jan 1961. [www](#)

- [Beaumont 09a] A. Beaumont, Christian Dubuc, J. Beauvais & D. Drouin. *Room Temperature Single-Electron Transistor Featuring Gate-Enhanced on-State Current*. Electron Device Letters, IEEE, vol. 30, no. 7, pages 766–768, July 2009.
- [Beaumont 09b] Arnaud Beaumont, Christian Dubuc, Jacques Beauvais & Dominique Drouin. *Room Temperature Single Electron Transistor Featuring Gate-Enhanced ON-State Current*. IEEE ELECTRON DEVICE LETTERS, vol. 7, page 11, 2009.
- [BENABDERRAHMANE 09] Rabia BENABDERRAHMANE. *Etude des mécanismes de transport dans les diodes tunnels de type MIS associant ferromagnétiques et silicium*. Rapport technique, These UNIVERSITE JOSEPH-FOURIER GRENOBLE I, Grenoble, 2009.
- [BENABOUD 09] Rym BENABOUD. *Etude thermodynamique et élaboration de dépôts métalliques (W-N-C, Ti-N-C) par PEALD (Plasma Enhanced Atomic Layer Deposition) pour la réalisation d'électrodes de capacités Métal/Isolant/Métal dans les circuits intégrés*. PhD thesis, Université de Grenoble Institut polytechnique, 2009.
- [Bessot 85] Jean-Jacques Bessot. *Dépôts par pulvérisation cathodique*. Techniques de l'Ingénieur, vol. M1657, pages 1–24, 1985.
- [Bounouar 12] M.A. Bounouar, A. Beaumont, F. Calmon & D. Drouin. *On the use of nanoelectronic logic cells based on metallic Single Electron Transistors*. In Ultimate Integration on Silicon (ULIS), 2012 13th International Conference on, pages 157–160, March 2012.
- [Bounouar 13] Mohamed Amine Bounouar. *Double-gate single electron transistors : Modeling, design et evaluation of logic architectures*. PhD thesis, INSA de Lyon ; Université de Sherbrooke, 2013.
- [Busseret 03] C. Busseret, N. Baboux, C. Plossu, S. Burignat & P. Boivin. *Quantitative study of charge trapping in SiO₂ during bipolar Fowler-Nordheim injection*. Journal of Non-Crystalline Solids, vol. 322, no. 1-3, pages 191–198, 2003. cited By 3.
- [Cam 14] *Fiji F200 200mm Thermal/Plasma ALD systems Installation and Use Manual CAW-02635 Rev. 0.6*. Rapport technique, Cambridge NanoTech Inc., 2014.
- [Cesana 12] Giorgio Cesana. *28 & 20nm FDSOI Technology Platforms*. Rapport technique, STMicroelectronics, 2012.

- [Chappell 96] B.A. Chappell, B. Davari, G.A. Sai-Halasz & Y. Taur. *SRAM cell with capacitor*, July 30 1996. US Patent 5,541,427. <https://www.google.com.ar/patents/US5541427>
- [Chen 96] R. H. Chen, A. N. Korotkov & K. K. Likharev. *Single-electron transistor logic*. Applied Physics Letters, vol. 68, no. 14, pages 1954–1956, 1996.
- [Christophe 01] BUSSERET Christophe. *ETUDES OPTIQUES ET ELECTRIQUES DES PROPRIETES ELECTRONIQUES DE NANO-CRISTAUX DE SILICIUM POUR COMPOSANTS MONO-ELECTRONIQUES*. Rapport technique, L'INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON, 2001.
- [Clerc 01] R. Clerc. *Etude des effets quantiques dans les composants CMOS a oxydes de grille ultra minces - modélisation et caractérisation*. Rapport technique, Thèse de doctorat, INP, Grenoble, 2001.
- [Coquand 12] R. Coquand, M. Cassé, S. Barraud, P. Leroux, D. Cooper, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro & C. Tabone. *Strain-induced performance enhancement of tri-gate and omega-gate nanowire FETs scaled down to 10nm Width*. VLSI Technology, pages 13–14, 2012.
- [Deshpande 12] V. Deshpande, S. Barraud, X. Jehl, R. Wacquez, M. Vinet, R. Coquand, B. Roche, B. Voisin, F. Triozon, C. Vizioz, L. Tosti, B. Previtali, P. Perreau, T. Poiroux, M. Sanquer & O. Faynot. *Scaling of Trigate Nanowire (NW) MOSFETs Down to 5 nm Width : 300 K Transition to Single Electron Transistor, Challenges and Opportunities*. IEEE, 2012.
- [Dingemans 12] G. Dingemans & W. M. M. Kessels. *Status and prospects of Al₂O₃-based surface passivation schemes for silicon solar cells*. Journal of Vacuum Science & Technology A, vol. 30, no. 4, pages –, 2012. [www](http://www.elsevier.com/locate/jvsta)
- [Droulers 14] G. Droulers, S. Ecoffey, M. Guilmain, A. Souifi, M. Pioro-Ladriere & D. Drouin. *Damascene planar metal-insulator-metal tunnel junctions*. In Nanotechnology (IEEE-NANO), 2014 IEEE 14th International Conference on, pages 884–887, Aug 2014.
- [Dubuc 07] C. Dubuc, J. Beauvais & D. Drouin. *Single Electron Transistors with wide operating temperature range*. Applied Physics Letters, vol. 90, 2007.
- [Dubuc 08a] Christian Dubuc, J. Beauvais & D. Drouin. *A Nodamascene Process for Advanced Single-Electron*

- [Dubuc 08b] *Transistor Fabrication*. Nanotechnology, IEEE Transactions on, vol. 7, no. 1, pages 68–73, Jan 2008.
- [Dubuc 09] Christian Dubuc, J. Beauvais & D. Drouin. *A Nanodamascene Process for Advanced Single Electron Transistor Fabrication*. IEE TRANSACTION ON NANOTECHNOLOGY, vol. 7, no. 1, pages 68–73, 2008.
- [Dubuc 09] Christian Dubuc, Arnaud Beaumont, Jacques Beauvais & Dominique Drouin. *Current conduction models in the high temperature single-electron transistor*. Solid-State Electronics, vol. 53, no. 5, pages 478–482, 2009.
- [Ecoffey 11] S. Ecoffey, M. Guilmain, J.-F. Morissette, Frederic Bourque, Jeremy Pont, Bruno Lee Sang & D. Drouin. *Technology platform for the fabrication of titanium nanostructures*. Journal of Vacuum Science Technology B : Microelectronics and Nanometer Structures, vol. 29, no. 6, pages 06FG06–06FG06–4, Nov 2011.
- [El Hajjam 14] Khalil El Hajjam, Nicolas Baboux, Francis Calmon, Abdelkader Souifi, Olivier Poncelet, Laurent A. Francis, Serge Ecoffey & Dominique Drouin. *Highly transparent low capacitance plasma enhanced atomic layer deposition Al₂O₃-HfO₂ tunnel junction engineering*. Journal of Vacuum Science Technology A : Vacuum, Surfaces, and Films, vol. 32, no. 1, pages 01A132–01A132–6, Jan 2014.
- [El Hajjam 15] K.G. El Hajjam, M.A. Bounouar, N. Baboux, S. Ecoffey, M. Guilmain, E. Puyoo, L.A. Francis, A. Souifi, D. Drouin & F. Calmon. *Tunnel Junction Engineering for Optimized Metallic Single-Electron Transistor*. Electron Devices, IEEE Transactions on, vol. 62, no. 9, pages 2998–3003, Sept 2015.
- [ERNST 01] THOMAS ERNST, JÉRÉMY PRETET, NASSER HEFYENE, CORINNE PERRET, ALEX ZASLAVSKY, SORIN CRISTOLOVEANU & FRÉDÉRIC ALLIBERT. *FROM SOI MATERIALS TO INNOVATIVE DEVICES*. SOLID-STATE ELECTRONICS, vol. 45, no. 4, page 559–566, 2001.
- [FAUCHAIS 13] Pierre FAUCHAIS. *Dépôts céramiques par PVD ou CVD assistées ou par projection plasma*. Technique de L'ingénieur, vol. N4801, pages 1–19, 2013.
- [Flynn 10] C Flynn, D König, I Perez-Wurfl, M A Green & G Conibeer. *Correlation between fixed charge and capacitance peaks in silicon nanocrystal metal-insulator-semiconductor devices*. Semiconductor

- Science and Technology, vol. 25, no. 4, page 045011, 2010. [www](#)
- [Gehring 03] A. Gehring. *Simulation of tunneling in semiconductor devices*. Rapport technique, 2003.
- [GEORGE 10] Steven GEORGE. *Atomic Layer Deposition : An Overview*. Chemical Reviews, vol. 110, no. 1, pages 111–131, 2010.
- [Govoreanu 03a] B. Govoreanu, P. Blomme, K. Henson, J. Van Houdt & K. de Meyer. *An investigation of the electron tunneling leakage current through ultrathin oxides/high-k gate stacks at inversion conditions*. In Simulation of Semiconductor Processes and Devices, 2003. SISPAD 2003. International Conference on, pages 287–290, Sept 2003.
- [Govoreanu 03b] B. Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt & K. De Meyer. *VARIOT : a novel multi-layer tunnel barrier concept for low-voltage nonvolatile memory devices*. Electron Device Letters, IEEE, vol. 24, no. 2, pages 99–101, Feb 2003.
- [Govoreanu 03c] B. Govoreanu, P. Blomme, J. Van Houdt & K. de Meyer. *Simulation of nanofloating gate memory with high-k stacked dielectrics*. In Simulation of Semiconductor Processes and Devices, 2003. SISPAD 2003. International Conference on, pages 299–302, Sept 2003.
- [Govoreanu 03d] Bogdan Govoreanu, Pieter Blomme, Maarten Rosmeulen, Jan Van Houdt & Kristin De Meyer. *A model for tunneling current in multi-layer tunnel dielectrics*. Solid-State Electronics, vol. 47, no. 6, pages 1045–1053, 2003.
- [Govoreanu 03e] Bogdan Govoreanu, Pieter Blomme, Maarten Rosmeulen, Jan Van Houdt & Kristin De Meyer. *A model for tunneling current in multi-layer tunnel dielectrics*. Solid State Electronics, vol. 47, no. 6, pages 1045–1053, 2003.
- [Greco 00] N.A. Greco, S.E. Greco & T.J. Wagner. *Method of contact structure formation*, September 19 2000. US Patent 6,121,129. <https://www.google.com/patents/US6121129>
- [Griffiths 05] David J. Griffiths. *Introduction to quantum mechanics*. Pearson Prentice Hall, Upper Saddle River,, 2005.
- [Guilmain 11] Marc Guilmain, Abdelatif Jaouad, Serge Ecoffey & Dominique Drouin. *SiO₂ shallow nanostructures*

- ICP etching using ZEP electroresist*. Microelectronic Engineering, vol. 88, no. 8, pages 2505 – 2508, 2011. Proceedings of the 36th International Conference on Micro- and Nano-Engineering (MNE)36th International Conference on Micro- and Nano-Engineering (MNE). [www](#)
- [Guilmain 13a] M Guilmain, T Labbaye, F Dellenbach, C Nauenheim, D Drouin & S Ecoffey. *A damascene platform for controlled ultra-thin nanowire fabrication*. Nanotechnology, vol. 24, no. 24, page 245305, 2013. [www](#)
- [GUILMAIN 13b] Marc GUILMAIN. *FABRICATION DE MÉMOIRE MONOÉLECTRONIQUE NON VOLATILE PAR UNE APPROCHE DE NANOGRILLE FLOTTANTE*. PhD thesis, Université de Shebrooke, 2013.
- [Gundlach 66] K. H. Gundlach. *Zur berechnung des tunnelstroms durch eine trapezförmige potentialstufe*. Solid-State Electron, vol. 9, pages 949–957, 1966.
- [Han 13] In-Shik Han, Hyuk-Min Kwon, Sung-Kyu Kwon, Woon-Il Choi, Su Lim, Jin-Soo Kim, Moon-Ho Kim, Man-Lyun Ha, Ju-Il Lee & Hi-Deok Lee. *A Study of Dielectric Relaxation and Capacitance Matching of Al₂O₃ HfO₂ Al₂O₃ MIM Capacitors*. Electron Device Letters, IEEE, vol. 34, no. 10, pages 1223–1225, Oct 2013.
- [Hanna 91] A. E. Hanna & M. Tinkham. *Variation of the Coulomb staircase in a two-junction system by fractional electron charge*. Phys. Rev. B, vol. 44, pages 5919–5922, Sep 1991.
- [Hashem 13] I.E. Hashem, N.H. Rafat & E.A. Soliman. *Theoretical Study of Metal-Insulator-Metal Tunneling Diode Figures of Merit*. Quantum Electronics, IEEE Journal of, vol. 49, no. 1, pages 72–79, Jan 2013.
- [Hesto 86] P. Hesto. *The nature of electronic conduction in thin insulating layers*. pages 263–314, 1986.
- [HILL 71] R. M. HILL. *Poole-Frenkel conduction in amorphous solids*. the philosophical magazine, vol. 23, no. 181, pages 59–86, 1971.
- [Hisamoto 00] D. Hisamoto, Wen-Chin Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, Erik Anderson, Tsu-Jae King, J. Bokor & Chenming Hu. *FinFET—A Self-Aligned Double-Gate MOSFET Scalable to 20 nm*. IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 47, no. 12, pages 2320–2325, 2000.

- [Hofheinz 06] M. Hofheinz, X. Jehl, M. Sanquer, G. Molas, M. Vinet & S. Deleonibus. *Simple and controlled single electron transistor based on doping modulation in silicon nanowires*. Appl. Phys. Lett., vol. 89, 2006.
- [Hori 97] T. Hori. *gate dielectrics and mos uis.* springer, 1997.
- [Hu 03] Hang Hu, Shi-Jin Ding, H.F. Lim, Chunxiang Zhu, M.F. Li, S.J. Kim, X.F. Yu, J.H. Chen, Y.F. Yong, Byung Jin Cho, D.S.H. Chan, S.C. Rustagi, M.B. Yu, C.H. Tung, Anyan Du, Doan My, P.D. Foot, A. Chin & Dim-Lee Kwong. *High performance ALD HfO₂/Al₂O₃/Al₂O₃/HfO₂ laminate MIM capacitors for RF and mixed signal IC applications*. In Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International, pages 15.6.1–15.6.4, Dec 2003.
- [Huai 08] Yiming Huai. *Spin-transfer torque MRAM (STT-MRAM) : Challenges and prospects*. AAPPS Bulletin, vol. 18, no. 6, pages 33–40, 2008.
- [Huang 99] X. Huang, W. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. Choi & K. Asano. *Sub 50-nm FinFET : PMOS*. In Electron Devices Meeting, 1999. IEDM'99. Technical Digest. International. IEEE, 1999.
- [Huguenin 10] J. Huguenin, S. Monfray, G. Bidal, S. Denorme, P. Perreau, N. Loubet, Y. Campidelli, M. Samson, C. Arvet & K. Benotmane. *Ultra-Thin (4nm) Gate-All-Around CMOS devices with High-k/Metal for Low Power Multimedia Applications*. SSDM 2010, 2010.
- [Ionescu 11] Adrian M. Ionescu & Heike Riel. *Tunnel field-effect transistors as energy-efficient electronic switches*. Nature, vol. 479, no. 7373, pages 329–337, November 2011. [www](#)
- [ISMAILOVA 09] Esma ISMAILOVA. *Procedes lithographiques pour les technologies des semi-conducteurs inférieures a 90nm : de la synthese a l'etude des mecanismes physicochimiques induisant la rugosite des motifs*. PhD thesis, Université de Strasbourg, 2009.
- [ITRS 11] ITRS. *ITRS Report*. Rapport technique, 2011.
- [Jinesh 11] K. B. Jinesh, J. L. van Hemmen, M. C.M. van de Sanden, F. Roozeboom, J. H. Klootwijk, W. F.A. Besling & W. M.M. Kessels. *Dielectric Properties of Thermal and Plasma-Assisted Atomic Layer Deposited Al₂O₃ Thin Films*. Journal of The Electrochemical Society, vol. 158, no. 2, pages G21–G26, 2011. [www](#)

- [Joshi 08] Vishwanath Joshi, Alexei O. Orlov & Gregory L. Snider. *Silicon single-electron transistor with oxide tunnel barriers fabricated using chemical mechanical polishing*. J. Vac. Sci. Technol. B, vol. 26, no. 6, 2008.
- [Joshi 09] Vishwanath Joshi, Yen-Chun Lee, A.O. Orlov & G.L. Snider. *Manufacturable Process for Si-SET Fabrication*. IEEE Nanotechnology Materials and Devices Conference June 2-5, pages 9–12, 2009.
- [Jouvet 12] Nicolas Jouvet. *Intégration hybride de transistors à un électron sur un noeud technologique CMOS*. PhD thesis, L'institut national des sciences appliquées de Lyon, 2012.
- [Kaariainen 09] Tommi O. Kaariainen & David C. Cameron. *Plasma-Assisted Atomic Layer Deposition of Al₂O₃ at Room Temperature*. Plasma Processes and Polymers, vol. 6, pages S237–S241, 2009.
- [Kariniemi 12] Maarit Kariniemi, Jaakko Niinistö, Marko Vehkamäki, Marianna Kemell, Mikko Ritala, Markku Leskelä & Matti Putkonen. *Conformality of remote plasma-enhanced atomic layer deposition processes : An experimental study*. Journal of Vacuum Science & Technology A, vol. 30, no. 1, pages –, 2012. [www](#)
- [Kedzierski 99] Jakub Kedzierski, Jeffrey Bokor & Erik Anderson. *Novel method for silicon quantum wire transistor fabrication*. J. Vac. Sci. Technol. B, vol. 17, no. 6, pages 3244–3247, 1999.
- [Kedzierskia 97] Jakub Kedzierskia & Jeffrey Bokor. *Fabrication of planar silicon nanowires on silicon-on-insulator using stress limited oxidation*. J. Vac. Sci. Technol. B, vol. 15, no. 6, page 2825, 1997.
- [Khanna 04] V K Khanna. *Emergin trends in ultra-miniaturized CMOS transistors, single-electron and molecular-scale devices : A comaprative analysis for high-performance computational nanoelectronics*. Journal of Scientific and Industrial Research, vol. 63, pages 795–806, 2004.
- [Kulik 75] I. O. Kulik & R. I. Shekhter. *Kinetic phenomena and charge discreteness effects in granulated media*. Soviet Physics - JETP, vol. 41, no. 2, page 308, 1975.
- [Lee 10] Y.-C. Lee, V. Joshi, A.O. Orlov & G.L. Snider. *Si single electron transistor fabricated by chemical mechanical polishing*. J. Vac. Sci. Technol. B, vol. 28, no. 6, pages C6L9–C6L13, 2010.

- [Lee 11] Yen-Chun Lee, Alexei O. Orlov & Gregory L. Snider. *Fabrication of hybrid metal island/silicon single electron transistor*. J. Vac. Sci. Technol. B, vol. 29, no. 6, 2011.
- [Li 09] Xinheng Li, Yuhsuke Yasutake, Keijiro Kono, Masayuki Kanehara, Toshiharu Teranishi & Yutaka Majima. *Au Nanoparticles Chemisorbed by Dithiol Molecules Inserted in Alkanethiol Self-Assembled Monolayers Characterized by Scanning Tunneling Microscopy*. Jpn. J. Appl. Phys., vol. 48, page 04C180, 2009.
- [Likharev 87] K.K. Likharev. *Single-electron transistors : Electrostatic analogs of the DC SQUIDS*. Magnetics, IEEE Transactions on, vol. 23, no. 2, pages 1142–1145, Mar 1987.
- [Likharev 98] K.K. Likharev. *Layered tunnel barriers for nonvolatile memory devices*. Applied Physics Letters, vol. 73, no. 15, pages 2137–2139, Oct 1998.
- [Likharev 99] K.K. Likharev. *Single-electron devices and their applications*. Proceedings of the IEEE, vol. 87, no. 4, pages 606–632, Apr 1999.
- [Likharev 09] K. K. Likharev. *Single Electron Devices and Their Applications*. Proceedings of IEEE, vol. 87, no. 4, pages 1551–1554, 2009.
- [LILIENFELD 30] L.E. LILIENFELD, 1930.
- [Lu 11] D. Lu. *Compact models for future generation CMOS*. Rapport technique, University of California, Berkeley, 2011.
- [Lukosius 12] M Lukosius, T Blomberg, D Walczyk, G Ruhl & Ch Wenger. *Metal-Insulator-Metal capacitors with ALD grown SrTiO₃ : Influence of Pt electrodes*. IOP Conference Series : Materials Science and Engineering, vol. 41, no. 1, page 012015, 2012. [www](http://www.iopscience.iop.org)
- [Microresist 15] Microresist. *Negative Photoresists for UV & Electron Beam Lithography*. Rapport technique, Micro Resist Technology, 2015.
- [Milikan 11] R.A. Milikan. *The Isolation of an Ion, a Precision Measurement of its Charge, and the Correction of Stokes's Law*. Phys. Rev, vol. 32, page 349, 1911.
- [Morato 12] A. Morato, B. Vermang, H. Goverde, E. Cornagliotti, G. Meneghesso, J. John & J. Poortmans. *Electrical characterization of ALD Al₂O₃ - HfO₂ and PECVD Al₂O₃ passivation layers for p-type CZ-Silicon PERC solar cells*. In Photovoltaic Specialists

- Conference (PVSC), 2012 38th IEEE, pages 001077–001082, June 2012.
- [Morissette 10] Jean-Francois Morissette. *Fabrication de transistors à un électron à grille auto-alignée par procédé nano-damascene*. Rapport technique, Université de Sherbrooke, 2010.
- [Nazarov 09] Yuli V. Nazarov & Yaroslav M. Blanter. Quantum transport : Introduction to nanoscience. Cambridge University Press, Cambridge,, 2009.
- [Nishi 00] R. Doering Y. Nishi. Handbook of semiconductor manufacturing technology. Marcel Dekker Inc, 2000.
- [Ophus 13] Colin Ophus, Melissa K Santala, Mark Asta & Velimir Radmilovic. *Structure and phase transitions at the interface between alpha-Al₂O₃ and Pt*. Journal of Physics : Condensed Matter, vol. 25, no. 23, page 232202, 2013. [www](#)
- [Pauliac-Vaujour 11] S. Pauliac-Vaujour, R. Wacquez, C. Vizioz, T. Chevolleau, M. Pierre, B. Previtali, C. Comboroure, N. Bove, B. Roche, M. Vinet, X. Jehl, M. Sanquer & P. Sixt. *Patterning Strategy for Monoelectronic Device Platform in a Complementary Metal Oxide Semiconductor Technology*. Japanese Journal of Applied Physics, vol. 50, page 060000, 2011.
- [Pierre 09] M. Pierre, R. Wacquez, B. Roche, X. Jehl, M. Sanquer, M. Vinet, E. Prati, M. Belli & M. Fanciulli. *Compact silicon double and triple dots realized with only two gates*. Appl. Phys. Lett., vol. 95, 2009.
- [PINNA 11] Nicola PINNA & Mato Knez, éditeurs. Atomic layer deposition of nanostructured materials. Wiley VCH, 2011.
- [Pradhan 13] Pradhan & D. De. *Spin Transfer Torque Driven Magnetic QCA Cells*. In Springer Berlin Heidelberg, éditeur, Advanced Nanomaterials and Nanotechnology, pages 561–569, 2013.
- [Profijt 11] H. B. Profijt, S. E. Potts, M. C. M. van de Sanden & W. M. M. Kessels. *Plasma-Assisted Atomic Layer Deposition : Basics, Opportunities, and Challenges*. Journal of Vacuum Science & Technology A, vol. 29, no. 5, pages –, 2011. [www](#)
- [Roadmap 09] Roadmap. *Executive summary*. Rapport technique, 2009.
- [Robertson 06] John Robertson. *High dielectric constant gate oxides for metal oxide Si transistors*. Reports on Progress in Physics, vol. 69, no. 2, page 327, 2006.

- [Roche 12] B. Roche, B. Voisin, X. Jehl, R. Wacquez, M. Sanquer, M. Vinet, V. Deshpande & Previtali. *A tunable, dual mode field-effect or single electron transistor*. Appl. Phys. Lett., vol. 100, 2012.
- [SALVO 99] B. DE SALVO. *Etude du transport électrique et de la fiabilité des isolants des mémoires non volatiles à grille flottante*. Rapport technique, LPCS, Grenoble, 1999.
- [Shin 10] S.J. Shin, C.S. Jung, B.J. Park, T.K. Yoon, J.J. Lee, S.J. Kim, J.B. Choi, Y. Takahashi & D.G. Hasko. *Si-based ultrasmall multiswitching single-electron transistor operating at room-temperature*. Appl. Phys. Lett., vol. 97, 2010.
- [Shin 11] S. J. Shin, J. J. Lee, H. J. Kang, J. B. Choi, S.-R. Eric Yang, Y. Takahashi & D. G. Hasko. *Room-Temperature Charge Stability Modulated by Quantum Effects in a Nanoscale Silicon Island*. Nano Lett., vol. 11, page 1591–1597, 2011.
- [Simmons 63] John G. Simmons. *Generalized Formula for the Electric Tunnel Effect between Similar Electrodes Separated by a Thin Insulating Film*. Journal of Applied Physics, vol. 34, no. 6, pages 1793–1803, 1963.
- [Singh 06] F.Y. Singh N.and Lim, W.W. Fang, S.C. Rustagi, L.K. Bera, C.H. Agarwal A. andTung, K.M. Hoe, S.R. Omampuliyur, D. Tripathi, A.O. Adeyeye, G.Q. Lo, N. Balasubramanian & D.L. Kwong. *Ultra-narrow silicon nanowire gate-all-around CMOS devices : Impact of diameter channelorientation and low temperature on device performance*. IEDM Tech. Dig., page 547–550, 2006.
- [SNOW 69] E. H. SNOW & M. LENZLINGER. *Fowler-Nordheim tunneling into thermally grown SiO₂*. Journal of Applied Physics, vol. 40, no. 1, pages 278–283, 1969.
- [Son 11] Jung-Woo Son, Hee-Wook You & Won-Ju Cho. *Multi-layer stacked {OHA} and {AHA} tunnel barriers for charge trap flash non-volatile memory application*. Current Applied Physics, vol. 11, no. 2, Supplement, pages e10 – e15, 2011. International Symposium on Next Generation Terabit Memory Technology CAP/ 2010 {ISNGTMT} Supplement. [www](http://www.isngtmt.org)
- [Suh 13] D. Suh & W.S. Liang. *Electrical properties of atomic layer deposited Al₂O₃ with anneal temperature for surface passivation*. Thin Solid Films, vol. 539, no. 0, pages 309 – 316, 2013. [www](http://www.sciencedirect.com)

- [Sun 11a] Yongshun Sun, Rusli & N. Singh. *Effect of Oxidation-Induced Tensile Strain on Gate-All-Around Silicon-Nanowire-Based Single-Electron Transistor Fabricated Using Deep-UV Lithography*. IEEE TRANSACTIONS ON NANOTECHNOLOGY, vol. 10, no. 6, pages 1214–1216, 2011.
- [Sun 11b] Yongshun Sun, Rusli & N. Singh. *Room-temperature operation of silicon single-electron transistor fabricated using optical lithography*. IEEE Trans. Nanotechnol., vol. 10, no. 1, page 96–98, 2011.
- [Sze 86] S.M. Sze. *Physics of semiconductor devices*. Wiley interscience, new jersey,, 1986.
- [Sée 03] Johann Sée. *Théorie du blocage de Coulomb appliquée aux nanostructures semi-conductrices : modélisation des dispositifs à nanocristaux de silicium*. PhD thesis, Université Paris Sud - Paris XI, 2003.
- [Tucker 92] J.R. Tucker. *Complementary digital logic based on the "Coulomb blockade"*. Journal of Applied Physics, vol. 72, no. 9, pages 4399–4413, 1992. cited By 255.
- [VIOLET 08] Perrine VIOLET. *ETUDE THERMODYNAMIQUE ET EXPERIMENTALE DU DEPÔT ALD (ATOMIC LAYER DEPOSITION) DE TaN ET DE SON PRECURSEUR ORGANOMETALLIQUE UTILISE EN MICROELECTRONIQUE*. PhD thesis, Institut polytechnique de Grenoble, 2008.
- [VOISIN 07] Pauline VOISIN. *Lithographie de nouvelle génération par nanoimpression assistée par UV : étude et développement de matériaux et procédés pour l'application microélectronique*. PhD thesis, Université Joseph-Fourier Grenoble, 2007.
- [Wasshuber 97] C. Wasshuber, H. Kosina & S. Selberherr. *SIMON-A simulator for single-electron tunnel devices and circuits*. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, vol. 16, no. 9, pages 937–944, Sep 1997.
- [Yasutake 07] Yuhsuke Yasutake, Keijiro Kono, Masayuki Kanehara, Toshiharu Teranishi, Mark R. Buitelaar, Charles G. Smith & Yutaka Majima. *Simultaneous fabrication of nanogap gold electrodes by electroless gold plating using a common medical liquid*. Appl. Phys. Lett., vol. 91, 2007.
- [Zeller 69] H. R. Zeller & I. Giaever. *Tunneling, Zero-Bias Anomalies, and Small Superconductors*. Phys. Rev., vol. 181, pages 789–799, May 1969.

Liste des publications et communications

Articles dans des revues internationales ou nationales avec comité de lecture répertoriées par l'AERES ou dans les bases de données internationales

- 3** ***Tunnel junction engineering for optimized Metallic Single Electron Transistor***
K. El Hajjam, M. Bounouar, N. Baboux, C. Ecoffey, M. Guilmain, E. Puyoo, L. Francis, A. Souifi, D. Drouin F. Calmon,
IEEE.Transactions on Electron Devices, 62 (9)-2298-3003 (2015)
- 2** ***Highly transparent low capacitance PEALD Al₂O₃-HfO₂ tunnel junction engineering***
K. El Hajjam, N. Baboux, F. Calmon, A. Souifi, O. Poncelet, L. Francis, C. Ecoffey, D. Drouin
Journal of Vacuum Science and Technology 32, 01A132 (2014)
- 1** ***Light harvesting by planar photonic crystals in solar cells: the case of amorphous silicon***
G. Gomard, X. Meng, E. Drouard, K. El Hajjam, E. Gerelli, R. Peretti, A. Fave, R. Orobitchouk, M. Lemit, C. Seassal
Journal of Optics 14, 04011 (2012)

Communications avec actes dans un congrès international

- 1** ***Room Temperature Double Gate Single Electron Transistor Based Standard Cell Library***
M. Bounouar, A. Beaumont, K. El Hajjam, F. Calmon, D. Drouin
8th ACM/IEEE International Symposium on Nanoscale Architectures (NANOARCH 2012), July 4-6, 2012
Amsterdam, The Netherlands

Communications avec actes dans un congrès national

- 1** ***Comparison of two conductive AFM probes for the local nano-oxidation of Ti thin films***
N. Guillaume, E. Puyoo, D. Albertini, N. Baboux, M. Le Berre, C. Chevalier, K. El Hajjam, B. Gautier, F. Calmon
Journées Nationales des Technologies Emergentes, 21-23 Mai 2013
Evian

Communications par affiche dans un congrès international ou national

- 5** ***Integration Of Metallic Single Electron Transistors On CMOS Substrate***
B. Lee Sang, K. El Hajjam, Y. Ayadi, S. Ecoffey, B. Sadani, A. Souifi, F. Calmon, D. Drouin
Canadian Semiconductor Science and Technology Conference (CSSTC 2015),
Sherbrooke, 16-21 aout, 2015.
- 4** ***3D integration of double gate single electron transistors in the CMOS Back-End-Of-Line for ultra-low power gas sensing***
Y. Ayadi, B. Lee Sang, B. Sadani, K. El Hajjam, S. Ecoffey, F. Calmon, A. Souifi, D. Drouin
Canadian Semiconductor Science and Technology Conference (CSSTC 2015),
Sherbrooke, 16-21 aout, 2015.
- 3** ***Elaboration by AFM lithography of nanostructured Ti/TiO_x/Ti tunnel junction***
N. Guillaume, E. Puyoo, D. Albertini, N. Baboux, M. Le Berre, C. Chevalier, K. El Hajjam, B. Gautier, F. Calmon
Euromat 2013 , 8-13 Septembre 2013
Séville, Espagne
- 2** ***Thermionic Emission filtering to increase SET operating temperature***
K. El Hajjam, N. Baboux, C. Ecoffey, M. Bounouar, D. Drouin, F. Calmon
Colloque annuel du GDR SoC-SiP, 10-12 juin 2013
Lyon
- 1** ***Influence of surface defects on the performance of photonic crystal assisted solar cells***
G. Gomard, K. El Hajjam, E. Drouard, A. Fave, C. Seassal
Photovoltaic Technical Conference - Thin Film & Advanced Silicon Solutions 2012 , 06 - 08 June 2012 Aix en Provence, France

Communications orales sans actes dans un congrès international ou national

- 3 ***Crested barrier tunnel junctions using PEALD Al₂O₃/HfO₂ stackings***
K. El Hajjam, N. Baboux, C. Ecoffey, L. Francis, A. Souifi, F. Calmon, D. Drouin
13th International Conference on Atomic Layer Deposition (ALD 2013), July 28-31, 2013
San Diego, CA
- 2 ***Photonic crystal assisted solar cells: Influence of the surface defects on their electrical properties***
G. Gomard, K. El Hajjam, E. Drouard, A. Fave, C. Seassal
27th European Photovoltaic Solar Energy Conference and Exhibition , September 2012
Frankfurt, Germany
- 1 ***Thermionic Emission filtering to increase SET operating temperature***
K. El Hajjam, M. Bounouar, N. Baboux, M. Guilmain, E. Puyoo, D. Drouin, F. Calmon
Journée Nanoélectronique 2012 du Club EEA, 26 novembre 2012
Université Paris-Sud, Orsay

Conférences données à l'invitation du Comité d'organisation dans un congrès national ou international

- 1 ***Résultats récents et perspectives dans le domaine des dispositifs mono-électroniques et de leurs applications***
F. Calmon, A. Beaumont, S. Ecoffey, M. Bounouar, N. Jouvet, M. Guilmain, B. Lee Sang, C. Nauenheim, K. El Hajjam, A. Ruediger, A. Souifi, S. Monfray, D. Drouin
Colloque annuel du GDR SoC-SiP , 13-15 juin 2012
Paris

FOLIO ADMINISTRATIF

THÈSE SOUTENUE DEVANT L'INSTITUT NATIONAL DES SCIENCES APPLIQUÉES DE LYON

NOM : **EL HAJJAM**

DATE de SOUTENANCE : 03 Décembre 2015

Prénoms : **KHALIL**TITRE : **Ingénierie de jonctions tunnel pour améliorer les performances du transistor mono-électronique métallique**NATURE : **Doctorat**

Numéro d'ordre : 2015ISAL0111

Ecole doctorale : **EEA**Spécialité : **Micro et Nano Technologies**

RESUME :

Aujourd'hui plusieurs obstacles technologiques et limitations physiques s'opposent à la poursuite de la miniaturisation de la technologie CMOS: courants de fuite, effet de canal court, effet de porteurs chauds et fiabilité des oxydes de grille. Le transistor à un électron (SET) fait partie des composants émergents candidats pour remplacer les transistors CMOS ou pour constituer une technologie complémentaire à celle-ci.

Ce travail de thèse traite de l'amélioration des caractéristiques électriques du transistor à un électron en optimisant ses jonctions tunnel. Cette optimisation commence tout d'abord par une étude des modes de conduction à travers la jonction tunnel. Elle se conclut par le développement d'une jonction tunnel optimisée basée sur un empilement de matériaux diélectriques (principalement Al_2O_3 , HfO_2 et TiO_2) ayant des propriétés différentes en termes de hauteurs de barrières et de permittivités relatives.

Ce manuscrit présente : la formulation des besoins du SET et de ses jonctions tunnel, le développement d'outils de simulation appropriés - basés sur les Matrices de transmission - pour la simulation du courant des jonctions tunnel du SET, l'identification des stratégies d'optimisation de ces dernières, grâce aux simulations et finalement l'étude expérimentale et l'intégration technologique des jonctions tunnel optimisées dans le procédé de fabrication de SET métallique en utilisant la technique de dépôt par couches atomiques (ALD).

Ces travaux nous ont permis de prouver l'intérêt majeur de l'ingénierie des jonctions tunnel du SET pour accroître son courant à l'état passant, réduire son courant de fuite et étendre son fonctionnement à des températures plus élevées.

MOTS-CLÉS : **dépôt par couche atomique, couches minces diélectriques high-k, couches minces diélectriques low-k, oxydation, transistor à un électron, composés de titane, ingénierie de la jonction tunnel, intégration BEOL.**

Laboratoire (s) de recherche : **3IT (Institut Interdisciplinaire d'Innovation Technologique) de l'Université de Sherbrooke (Québec Canada) et à l'INL (Institut des Nanotechnologies de Lyon) INSA de Lyon, France.**

Directeur de thèse: **Francis CALMON & Dominique DROUIN**

Président de jury : Mireille MOUIS

Composition du jury :

Laurent FRANCIS Professeur,	Université Catholique de Louvain
Thierry BARON Docteur,	Directeur de Recherche au CNRS
Mireille MOUIS Professeur,	Directeur de Recherche au CNRS
Serge CHARLEBOIS Professeur,	Université de Sherbrooke
Stéphane MONFRAY Docteur,	STMicroelectronics, Crolles
Abdelkader Souifi Prodesseur,	INSA de Lyon
Dominique DROUIN Professeur,	Université de Sherbrooke
Francis CALMON Professeur,	INSA de Lyon